

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application)

Applicants: Katsunori Misaki and)
Shiro Hirota)

Serial No.)

Filed: February 24, 2004)

For: SUBSTRATE FOR DISPLAY,)
METHOD OF MANUFACTURING)
THE SAME, AND DISPLAY)
HAVING THE SAME)

I hereby certify that this paper is being deposited with the United States Postal Service as EXPRESS MAIL in an envelope addressed to: MS Patent Application, Commissioner for Patents, Alexandria, VA 22313-1450, on this date.

Feb. 24, 2004
Date


Express Mail No. EV032703561US

CLAIM FOR PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicants claim foreign priority benefits under 35 U.S.C. § 119 on the basis of the foreign application identified below:

Japanese Patent Application No. 2003-063710, filed March 10, 2003

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By 

Patrick G. Burns
Registration No. 29,367

February 24, 2004
300 South Wacker Drive
Suite 2500
Chicago, Illinois 60606
Telephone: 312.360.0080
Facsimile: 312.360.9315

Patrick J. Burns FDP030100US
1324.69743
(312) 360-0080

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 0 日
Date of Application:

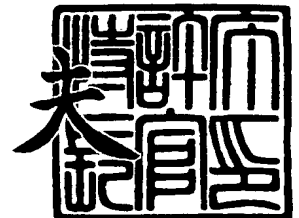
出 願 番 号 特 願 2 0 0 3 - 0 6 3 7 1 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 6 3 7 1 0]

出 願 人 富士通ディスプレイテクノロジーズ株式会社
Applicant(s):

2 0 0 3 年 1 2 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 3 6 4 2

【書類名】 特許願

【整理番号】 0241194

【提出日】 平成15年 3月10日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/135

【発明の名称】 表示装置用基板及びその製造方法及びそれを備えた表示装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通ディスプレイテクノロジーズ株式会社内

【氏名】 美崎 克紀

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通ディスプレイテクノロジーズ株式会社内

【氏名】 廣田 四郎

【特許出願人】

【識別番号】 302036002

【氏名又は名称】 富士通ディスプレイテクノロジーズ株式会社

【代理人】

【識別番号】 100101214

【弁理士】

【氏名又は名称】 森岡 正樹

【手数料の表示】

【予納台帳番号】 047762

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0209448

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置用基板及びその製造方法及びそれを備えた表示装置

【特許請求の範囲】

【請求項 1】

基板上に絶縁膜を介して互いに交差して形成された複数のバスラインと、
前記バスライン上に形成された絶縁樹脂層と、
前記基板上に配列した画素領域毎の前記絶縁樹脂層上に形成された画素電極と

、
A1又はA1合金で形成され第1の端面を有する第1層と、前記第1層上に高融点金属で形成され前記第1の端面より外側に第2の端面を有する第2層とを有し、前記バスラインに電氣的に接続された第1の端子電極と、前記画素電極と同一の形成材料で前記第1の端子電極上に形成され、前記第1の端面に接触せずに前記第1の端子電極に電氣的に接続された第2の端子電極とを備え、外部回路と前記バスラインとを電氣的に接続する外部接続端子と

を有することを特徴とする表示装置用基板。

【請求項 2】

基板上に絶縁膜を介して互いに交差して形成された複数のバスラインと、
前記バスライン上に形成された絶縁樹脂層と、
前記基板上に配列した画素領域毎の前記絶縁樹脂層上に形成された画素電極と

、
A1又はA1合金で形成された第1層と、前記第1層の端面に形成された端面絶縁膜と、前記第1層上に高融点金属で形成された第2層とを有し、前記バスラインに電氣的に接続された第1の端子電極と、前記画素電極と同一の形成材料で前記第1の端子電極上に形成され、前記第1層に接触せずに前記第1の端子電極に電氣的に接続された第2の端子電極とを備え、外部回路と前記バスラインとを電氣的に接続する外部接続端子と

を有することを特徴とする表示装置用基板。

【請求項 3】

複数のバスラインを有する基板を備えた表示装置において、

前記基板として、請求項 1 又は 2 に記載の表示装置用基板が用いられていること

を特徴とする表示装置。

【請求項 4】

基板上に A 1 又は A 1 合金を成膜して第 1 層を形成する第 1 の工程と、
前記第 1 層上に高融点金属を成膜して第 2 層を形成する第 2 の工程と、
前記第 2 層及び前記第 1 層をパターンニングして第 1 の端子電極を形成する第 3 の工程と、

前記基板上に絶縁樹脂層を形成する第 4 の工程と、

前記第 1 の端子電極上の前記絶縁樹脂層を除去する第 5 の工程と、

前記第 1 層の端面が前記第 2 層の端面より内側になるようにサイドエッチングする第 6 の工程と、

前記第 1 の端子電極に電氣的に接続する第 2 の端子電極を前記第 1 層に接触させずに形成する第 7 の工程と

を有することを特徴とする表示装置用基板の製造方法。

【請求項 5】

基板上に A 1 又は A 1 合金を成膜して第 1 層を形成する第 1 の工程と、
前記第 1 層上に高融点金属を成膜して第 2 層を形成する第 2 の工程と、
前記第 2 層及び前記第 1 層をパターンニングして第 1 の端子電極を形成する第 3 の工程と、

前記基板上に絶縁樹脂層を形成する第 4 の工程と、

前記第 1 の端子電極上の前記絶縁樹脂層を除去する第 5 の工程と、

前記第 1 層の端面に端面絶縁膜を形成する第 6 の工程と、

前記第 1 の端子電極に電氣的に接続する第 2 の端子電極を前記第 1 層に接触させずに形成する第 7 の工程と

を有することを特徴とする表示装置用基板の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、表示装置用基板及びその製造方法及びそれを備えた表示装置に関し、特に、薄膜トランジスタ（Thin Film Transistor; TFT）等のスイッチング素子を用いたアクティブマトリクス型の液晶表示装置に用いられる液晶表示装置用基板及びその製造方法に関する。

また本発明は、スイッチング素子が形成されたアレイ基板に絶縁性有機樹脂材料からなる保護絶縁層（絶縁樹脂層）を備えた液晶表示装置に用いられる液晶表示装置用基板及びその製造方法に関する。

さらに本発明は、画素電極が光反射性材料で形成された反射型液晶表示装置に用いられる液晶表示装置用基板及びその製造方法、又はアレイ基板上に樹脂カラーフィルタ（Color Filter; CF）層が形成されたCF-on-TFT構造の液晶表示装置用基板及びその製造方法に関する。

【0002】

【従来の技術】

TFTをスイッチング素子として用いたアクティブマトリクス型の液晶表示装置（Liquid Crystal Display; LCD）は、例えば特許文献4に開示されている。特許文献4には、以下に概説するように、チャネル保護膜が形成された逆スタガ型のTFTを備えた透過型LCDの構成が記載されている。

【0003】

TFTが形成されたアレイ基板（以下、「TFT基板」ともいう）のほぼ全面には、無機絶縁材料からなるパッシベーション膜が形成されている。パッシベーション膜上には、透明電極材料で形成された画素電極が形成されている。画素電極は、パッシベーション膜を開口したコンタクトホールを介してTFTのソース電極に接続されている。

【0004】

ドレインバスラインに接続される外部接続端子（以下、「ドレイン端子」と略称する）は、TFTのソース／ドレイン電極及びドレインバスラインと共通の層をなす n^+a-Si 層及び金属層で形成された下部電極を有している。下部電極上には、パッシベーション膜に開口されたコンタクトホールを介して、画素電極

と同一材料の酸化導電膜からなる上部電極が積層されている。上部電極にドレインバスライン駆動回路の接続端子が接続されて各ドレインバスラインに所定の階調電圧が印加されるようになっている。

【0005】

また、ゲートバスラインに接続される外部接続端子（以下、「ゲート端子」と略称する）は、ゲート電極及びゲートバスラインと共通の層をなす金属層で形成された下部電極を有している。下部電極上には、ゲート絶縁膜と共通の層をなす絶縁膜及びパッシベーション膜に開口されたコンタクトホールを介して、画素電極と同一材料の酸化導電膜からなる上部電極が積層されている。上部電極にゲートバスライン駆動回路の接続端子が接続されて各ゲートバスラインに所定のゲートパルスが順次印加されるようになっている。ゲート端子及びドレイン端子の上部電極は、下部電極の酸化を防止している。これにより、ゲート端子及びドレイン端子の長期信頼性が向上し、また両端子での接続不良を防止できる。

【0006】

次に、チャネル保護膜が形成された逆スタガ型の TFT を備えた透過型 LCD の製造方法について概説する。ガラス基板等の透明絶縁性基板上に複数のゲートバスライン及びゲート端子下部電極を形成する。次に、基板全面に絶縁膜（以下、成膜部位により「ゲート絶縁膜」ともいう）を形成する。続いて、絶縁膜上にアモルファスシリコン（a-Si）層を形成し、次いでチャネル保護膜を形成する。次に、n+a-Si 層を成膜した後、金属層を成膜する。次に、チャネル保護膜をエッチングストッパとして用いて金属層、n+a-Si 層及び a-Si 層を一括エッチングする。これにより、a-Si 層からなる動作半導体層を TFT 部のゲート絶縁膜上に形成するとともに、チャネル保護膜の両側にソース電極及びドレイン電極を形成して TFT が完成する。また、ソース電極及びドレイン電極の形成と同時に、ドレインバスライン及びドレインバスラインに接続されるドレイン端子下部電極が形成される。

【0007】

次いで、無機絶縁性材料であるシリコン窒化膜（SiN 膜）、シリコン酸化膜（SiO₂ 膜）、又はこれらの複合膜からなる厚さ 400 nm のパッシベーショ

ン膜を基板全面に成膜する。次いで、レジストを塗布した後、フォトリソグラフィ法を用いて、ソース電極、ドレイン端子下部電極、及びゲート端子下部電極上にそれぞれ開口部を持つレジストパターンを形成する。このレジストパターンをマスクとしてパッシベーション膜、あるいはパッシベーション膜と絶縁膜とをエッチングし、コンタクトホールをそれぞれ開口する。

【0008】

次いで、スパッタ法等を用いて、厚さ100nmのITO（インジウム・ティン・オキサイド）等からなる透明導電膜を基板全面に成膜する。次いで、透明導電膜を所定の形状にパターニングし、コンタクトホールを介してソース電極に接続される画素電極を形成する。また同時に、他のコンタクトホールを介してドレイン端子下部電極に接続されるドレイン端子上部電極を形成し、さらに他のコンタクトホールを介してゲート端子下部電極に接続されるゲート端子上部電極を形成する。

【0009】

このように特許文献4の記載によれば、ゲート端子及びドレイン端子を形成する場合、ゲート端子下部電極及びドレイン端子下部電極を形成し、ゲート端子下部電極及びドレイン端子下部電極の上部を覆うパッシベーション膜を成膜し、パッシベーション膜をエッチングしてコンタクトホールを開口し、コンタクトホールを介してゲート端子下部電極に接続される透明導電膜からなるゲート端子上部電極と、ドレイン端子下部電極に接続される透明導電膜からなるドレイン端子上部電極とを画素電極の形成と同時に形成するようにしている。

【0010】

また、特許文献5には、スイッチング素子が形成されたアレイ基板上に、絶縁性有機樹脂材料からなるオーバーコート層（以下、「OC層」という）が形成された液晶表示装置が開示されている。上述のパッシベーション膜は、SiN膜等の無機絶縁膜からなり、一般に膜厚300～400nmで形成されている。それに対してOC層は、パッシベーション膜に比較して極めて厚い膜厚1000～3000nmで形成されている点に特徴を有する。またOC層は、形成材料である樹脂の誘電率が比較的小さい（約3あるいはそれ以下）という特徴を有する。こ

の2つの特徴により、OC層が形成された液晶表示装置は、TFT特性を劣化させる寄生容量を低減できるという利点を有している。また、OC層が形成された液晶表示装置は、感光性材料からなるOC層をエッチングマスクとして用いてコンタクトホールを開口しているため、製造工程を簡略化できるという利点を有している。

【0011】

図16は、OC層が形成された従来の反射型液晶表示装置のTFT基板の構成を示している。図16(a)はTFT基板のゲート端子の電極繋ぎ換え領域近傍を基板面に垂直方向に見た構成を示し、図16(b)は図16(a)のX-X線で切断した断面を示している。図16(a)、(b)に示すように、ガラス基板106上には、ゲートバスラインと同一の形成材料からなるゲート端子下部電極130が形成されている。ゲート端子下部電極130は一般に積層構造を有し、下層には比較的低抵抗のアルミニウム(Al)系金属層130aが形成され、上層には高融点金属層130bが形成されることが多い。ゲート端子下部電極130上には、絶縁膜132が形成されている。絶縁膜132上には保護膜134が形成されている。保護膜134上にはOC層136が形成されている。OC層136の表面は、例えば凹凸状又は皺状に形成されている。

【0012】

ゲート端子下部電極130上のOC層136、保護膜134及び絶縁膜132は開口され、電極繋ぎ換え領域138が形成されている。OC層136上には、画素電極(反射電極)と同一の形成材料からなるゲート端子上部電極140が形成されている。ゲート端子上部電極140は、例えばITO層140a、銀(Ag)合金層140b、及びITO層140aの積層構造を有している。またゲート端子上部電極140は、電極繋ぎ換え領域138でゲート端子下部電極130に接続されている。

【0013】

図17は、従来のCF-on-TFT構造の透過型液晶表示装置のTFT基板の構成を示している。図17(a)はTFT基板のゲート端子の電極繋ぎ換え領域近傍を基板面に垂直方向に見た構成を示し、図17(b)は図17(a)のZ

ーZ線で切断した断面を示している。図17(a)、(b)に示すように、ガラス基板106上には、ゲートバスラインと同一の形成材料からなるゲート端子下部電極130が形成されている。ゲート端子下部電極130上には、絶縁膜132が形成されている。絶縁膜132上には保護膜134が形成されている。保護膜134上には、赤(R)、緑(G)、青(B)のいずれか1色の樹脂CF層144が形成されている。樹脂CF層144上には、OC層136が形成されている。

【0014】

ゲート端子下部電極130上のOC層136、樹脂CF層144、保護膜134及び絶縁膜132は開口され、電極繋ぎ換え領域138が形成されている。樹脂CF層144上には、画素電極と同一の形成材料(例えばITO)からなるゲート端子上部電極140が形成されている。ゲート端子上部電極140は、電極繋ぎ換え領域138でゲート端子下部電極130に接続されている。

【0015】

【特許文献1】

特開2001-324725号公報

【特許文献2】

特開2001-53283号公報

【特許文献3】

特開平11-281993号公報

【特許文献4】

特開平6-202153号公報

【特許文献5】

特開2000-231123号公報

【0016】

【発明が解決しようとする課題】

しかしながら、OC層136や樹脂CF層144等の樹脂層は、ITO等の電極材料で上層に形成されるゲート端子上部電極140との密着性がパッシベーション膜に比較して劣っている。このため、OC層136上又は樹脂CF層144

上に直接形成されたゲート端子上部電極 140 が剥がれてしまい、導通不良や隣接端子間の短絡等が発生してしまうという問題が生じる。また、ゲート端子上部電極 140 をパターニングする際に、隣接端子間の短絡の要因になる電極材の残渣や、抵抗の上昇の要因になる配線幅の細り等のエッチング不良が生じ易いという問題が生じる。

【0017】

液晶表示装置は、TFT アレイ工程、CF 工程、パネル工程及びユニット工程を経て製造される。ユニット工程では、ドライバ IC がゲート端子及びドレイン端子に例えば TAB (Tape Automated Bonding) 実装される。このとき、実装する際のドライバ IC の位置ずれ等により接続不良が生じた液晶表示装置は、TAB 端子を剥離した後に再度貼り付けるリペアが行われる。上記の構成では、TAB 端子を剥離する際に、上部電極が OC 層 136 又は樹脂 CF 層 144 とともに剥がれてしまうため、リペアが困難になるという問題が生じる。

【0018】

図 18 及び図 19 は、上記の問題を解決する TFT 基板の構成を示している。図 18 は、OC 層が形成された反射型液晶表示装置の TFT 基板の構成を示している。図 18 (a) は TFT 基板のゲート端子の電極繋ぎ換え領域近傍を基板面に垂直方向に見た構成を示し、図 18 (b) は図 18 (a) の Y-Y 線で切断した断面を示している。図 18 (a)、(b) に示すように、隣接するゲート端子間の OC 層 136、保護膜 134 及び絶縁膜 132 は、電極繋ぎ換え領域 138 側のゲート端子下部電極 130 端面にほぼ一致する端面を有している。また、OC 層 136、保護膜 134 及び絶縁膜 132 の端面であって隣接ゲート端子間のほぼ中央部には、基板面に平行な断面が鋭角の頂角を有する三角形形状に形成された突起 142 が基板端部側 (図 18 (a) では左側) に突出して形成されている。突起 142 は、ゲート端子上部電極 140 をパターニングする際のエッチング残渣により、隣接ゲート端子間が短絡するのを防止するために設けられている。

【0019】

図19は、CF-on-TFT構造の透過型液晶表示装置のTFT基板の構成を示している。図19(a)はTFT基板の電極繋ぎ換え領域近傍を基板面に垂直方向に見た構成を示し、図19(b)は図19(a)のW-W線で切断した断面を示している。図19(a)、(b)に示すように、隣接するゲート端子間のOC層136、樹脂CF層144、保護膜134及び絶縁膜132は、電極繋ぎ換え領域138側のゲート端子上部電極140端面より表示領域側(図19(a)、(b)では右側)に端面を有している。すなわち、OC層136、樹脂CF層144、保護膜134及び絶縁膜132の端面より基板端部側(図19(a)、(b)では左側)の隣接するゲート端子間では、ガラス基板106表面が露出している。また、OC層136、保護膜134及び絶縁膜132の端面であって隣接ゲート端子間のほぼ中央部には、基板面に平行な断面が鋭角の頂角を有する三角形形状に形成された突起142が基板端部側に突出して形成されている。突起142は、ゲート端子上部電極140をパターンニングする際のエッチング残渣により、隣接ゲート端子間が短絡するのを防止するために設けられている。

【0020】

図18(a)、(b)及び図19(a)、(b)に示すTFT基板では、OC層136を除去してゲート端子上部電極140をガラス基板106上に直接接触させて形成することにより、ゲート端子上部電極140の剥離を防止している。ところが上記の構成では、ゲート端子下部電極130の電極繋ぎ換え領域138側端面の基板面に対する急峻な形状により、当該端面上の段差部でゲート端子上部電極140に段切れが生じ、ゲート端子の抵抗が高くなってしまうという問題が生じる。また、ゲート端子下部電極130の電極繋ぎ換え領域138側の端面では、下層のAl系金属層130aと、ITO等からなるゲート端子上部電極140とが接触しているため腐食等が起こり易く、断線をひき起こすおそれがあるという問題が生じる。このように、電極繋ぎ換え領域138では、ゲート端子上部電極140の段切れや、ゲート端子上部電極140とゲート端子下部電極130との間の電氣的接続を十分考慮する必要がある。

【0021】

本発明の目的は、製造工程を簡略化でき、かつ高い信頼性を有する表示装置用

基板及びその製造方法及びそれを備えた表示装置を提供することにある。

【0022】

【課題を解決するための手段】

上記目的は、基板上に絶縁膜を介して互いに交差して形成された複数のバスラインと、前記バスライン上に形成された絶縁樹脂層と、前記基板上に配列した画素領域毎の前記絶縁樹脂層上に形成された画素電極と、A1又はA1合金で形成され第1の端面を有する第1層と、前記第1層上に高融点金属で形成され前記第1の端面より外側に第2の端面を有する第2層とを有し、前記バスラインに電氣的に接続された第1の端子電極と、前記画素電極と同一の形成材料で前記第1の端子電極上に形成され、前記第1の端面に接触せずに前記第1の端子電極に電氣的に接続された第2の端子電極とを備え、外部回路と前記バスラインとを電氣的に接続する外部接続端子とを有することを特徴とする表示装置用基板によって達成される。

【0023】

【発明の実施の形態】

〔第1の実施の形態〕

本発明の第1の実施の形態による表示装置用基板及びその製造方法及びそれを備えた表示装置について図1乃至図7を用いて説明する。図1は、本実施の形態による反射型液晶表示装置の概略構成を示している。図1に示すように、反射型液晶表示装置は、光反射性材料からなる画素電極やTFT等が画素領域毎に形成されたTFT基板2と、共通電極等が形成された対向基板4とを対向させて貼り合わせ、その間に液晶を封止した構造を有している。

【0024】

TFT基板2には、複数のゲートバスライン12を駆動するドライバICが実装されたゲートバスライン駆動回路80と、複数のドレインバスライン14を駆動するドライバICが実装されたドレインバスライン駆動回路82とが設けられている。両駆動回路80、82は、制御回路84から出力された所定の信号に基づいて、走査信号やデータ信号を所定のゲートバスライン12あるいはドレインバスライン14に出力するようになっている。

【0025】

対向基板 4 は、R、G、B のいずれか 1 色が画素領域毎に形成された樹脂 CF 層を有している。両基板 2、4 の対向面には、液晶分子を所定方向に配向させる配向膜が形成されている。対向基板 4 の対向面と反対側の面には、偏光板 87 が貼り付けられている。

【0026】

図 2 は、TFT 基板 2 上に形成された素子の等価回路を模式的に示している。図 3 は TFT 基板 2 の 1 画素の構成を示し、図 4 は図 3 の A-A 線で切断した TFT 基板 2 の断面を示している。図 2 乃至図 4 に示すように、TFT 基板 2 のガラス基板 6 上には、図 2 又は図 3 の左右方向に延びるゲートバスライン 12 が互いに並列して複数形成されている。ゲートバスライン 12 は、例えば高融点金属層 12b と、比較的低抵抗の例えば Al 系金属層 12a と、高融点金属層 12b とがこの順に積層された構造を有している。Al 系金属には、Al や Al 合金が含まれる。Al 系金属層 12a の端面は、高融点金属層 12b の端面より内側に形成されている。

【0027】

ゲートバスライン 12 上の全面には絶縁膜（ゲート絶縁膜）32 が形成されている。ゲートバスライン 12 に絶縁膜 32 を介して交差して、図 2 及び図 3 の上下方向に延びるドレインバスライン 14 が互いに並列して複数形成されている。ゲートバスライン 12 とドレインバスライン 14 の交差位置近傍には、TFT 20 が形成されている。

【0028】

TFT 20 は、絶縁膜 32 上に、a-Si 層からなる動作半導体層 50 を有している。動作半導体層 50 上にはチャネル保護膜 23 が形成されている。チャネル保護膜 23 上には、隣接するドレインバスライン 14 から引き出されたドレイン電極 21 及びその下層のオーミックコンタクト層となる n+a-Si 層 51 と、ソース電極 22 及びその下層の n+a-Si 層 51 とが、所定の間隙を介して互に対向して形成されている。このような構成において、チャネル保護膜 23 直下のゲートバスライン 12 が当該 TFT 20 のゲート電極として機能するよう

になっている。

【0029】

TFT基板2上にマトリクス状に配列された各画素領域のほぼ中央を横切って、ゲートバスライン12に並列して図2及び図3の左右方向に延びる蓄積容量バスライン18が形成されている。蓄積容量バスライン18は、ゲートバスライン12と同一の形成材料で形成されている。蓄積容量バスライン18上には、絶縁膜32を介して蓄積容量電極（中間電極）25が画素領域毎に形成されている。蓄積容量電極25は、ドレインバスライン14と同一の形成材料で形成されている。ドレインバスライン14、ドレイン電極21、ソース電極22及び蓄積容量電極25上には、保護膜34が形成されている。保護膜34上には、絶縁樹脂層であるOC層36が形成されている。OC層36の表面は、例えば凹凸状又は皺状に形成されている。

【0030】

OC層36上には、画素電極（反射電極）16が画素領域毎に形成されている。画素電極16は光反射材料等で形成され、例えばITO層16a、Ag合金層16b、及びITO層16aの積層構造を有している。画素電極16の表面は、OC層36表面の形状に倣い、凹凸状又は皺状に形成されている。表示画面側から入射する光を画素電極16の凹凸状又は皺状表面で散乱反射させることにより、良好な表示特性が得られるようになっている。画素電極16は、ソース電極22上のOC層36及び保護膜34が開口されたコンタクトホール24を介して、ソース電極22に電氣的に接続されている。また画素電極16は、蓄積容量電極25上のOC層36及び保護膜34が開口されたコンタクトホール26を介して、蓄積容量電極25に電氣的に接続されている。これらのTFT20や各バスライン12、14、18等はフォトリソグラフィ工程で形成され、「成膜→レジスト塗布→露光→現像→エッチング→レジスト剥離」という一連の半導体プロセスを繰り返して形成される。

【0031】

図5（a）は本実施の形態による表示装置用基板のゲート端子の電極繋ぎ換え領域近傍を基板面に垂直方向に見た構成を示し、図5（b）は図5（a）のB-

B線で切断した断面を示している。図5(a)、(b)に示すように、TFT基板2の額縁領域には、複数のゲート端子8(図5(a)では2つ示している)が形成されている。複数のゲート端子8は、表示領域(図示していないが図5(a)、(b)では右方)に形成された複数のゲートバスライン12にそれぞれ電氣的に接続されている。ゲート端子8は、ゲート端子下部電極30(第1の端子電極)と、ゲート端子上部電極40(第2の端子電極)と、両電極30、40が接続される電極繋ぎ換え領域38とを有している。

【0032】

ゲート端子下部電極30は、ゲートバスライン12と同一の形成材料で形成されている。すなわちゲート端子下部電極30は、高融点金属層(第3層)12bと、A1系金属層(第1層)12aと、高融点金属層(第2層)12bとがこの順に積層された構造を有している。電極繋ぎ換え領域38のゲート端子下部電極30は、外周の長さが長くなるように、例えば複数の凹凸を有する平面形状にパターニングされている。ゲート端子下部電極30のA1系金属層12aの端面62は、上層の高融点金属層12bの端面63や、下層の高融点金属層12bの端面64より内側に形成されている。

【0033】

ゲート端子下部電極30上には、図4に示す絶縁膜32と同一層である絶縁膜32が形成されている。絶縁膜32上には、図4に示す保護膜34及びOC層36とそれぞれ同一層である保護膜34及びOC層36がこの順に形成されている。電極繋ぎ換え領域38近傍のOC層36、保護膜34及び絶縁膜32は、TFT20のソース電極22上のコンタクトホール24を形成する際のパターニングにより除去されている。OC層36、保護膜34及び絶縁膜32は、電極繋ぎ換え領域38より表示領域側に端面を有している。OC層36、保護膜34及び絶縁膜32の端面であって隣接ゲート端子8間のほぼ中央部には、基板面に平行な断面が鋭角の頂角を有する三角形形状に形成された突起42が基板端部側に突出して形成されている。突起42は、以下に述べるゲート端子上部電極40をパターニングする際のエッチング残渣により、隣接ゲート端子8間が短絡するのを防止するために設けられている。

【0034】

繋ぎ換え領域38のゲート端子下部電極30を覆うように、ゲート端子上部電極40が形成されている。ゲート端子上部電極40は、画素電極16と同一の形成材料で形成されている。図5(b)に示すゲート端子上部電極40は、ゲート端子下部電極30の端部近傍で段切れが生じている。このため段切れ部60で、ゲート端子上部電極40、40'が互いに分離されている。ゲート端子上部電極40のITO層16aは、ゲート端子下部電極30下層の高融点金属層12bの端面64に接触している。ゲート端子上部電極40'のITO層16aは、ゲート端子下部電極30上層の高融点金属層12bの端面63及び表面に接触している。このため、ゲート端子上部電極40、40'は、ゲート端子下部電極30を介して互いに電氣的に接続されている。ゲート端子下部電極30のAl系金属層12aは、その端面62が各高融点金属層12bの端面63、64より内側に形成されているため、ゲート端子上部電極40、40'のITO層16aには接触していない。

【0035】

ゲート端子下部電極30下層の高融点金属層12bは外周の長さが長くなるようにパターンニングされている。このため、ゲート端子上部電極40とゲート端子下部電極30とは、ゲート端子下部電極30下層の高融点金属層12bの端面64のみで接触しているものの、より広い接触面積が確保されている。したがって、両電極30、40間に接続不良が生じることはなく、接触抵抗が高くなることもない。

【0036】

なお、図示は省略しているが、ドレイン端子はゲート端子8と同様の構造を有している。すなわち、ドレイン端子下部電極はゲート端子下部電極30と同一層で形成され、ドレイン端子上部電極はゲート端子上部電極40と同一層で形成されている。ドレインバスライン14とドレイン端子下部電極とは、例えば絶縁膜32を開口して形成された別の繋ぎ換え領域を介してそれぞれ電氣的に接続されている。また、ドレイン端子下部電極は、ドレインバスライン14と同一の形成材料（例えば高融点金属層、Al系金属層及び高融点金属層の積層）で形成され

ていてもよい。

【0037】

本実施の形態では、ゲート端子上部電極40のITO層16aと、ゲート端子下部電極30のAl系金属層12aとが直接接触しない。このため、端子部の腐食を防止でき、腐食に起因する断線も防止できる。

【0038】

また、本実施の形態では、ゲート端子上部電極40がOC層36上ではなくガラス基板6上に密着良好に形成されている。このため、OC層36に特別な樹脂を用いることなく、TAB端子を剥離する際のゲート端子上部電極40及びOC層36の剥がれを防止できる。

【0039】

次に、本実施の形態による表示装置用基板の製造方法について図6及び図7を用いて説明する。図6(a)～(e)及び図7(a)～(d)は、TFT基板の製造工程を示す工程断面図であり、図5(b)に対応する断面を示している。まず、図6(a)に示すように、透明絶縁性基板であるガラス基板6上に直接、又は必要に応じてSiO_x等の保護膜を形成した後に、例えば膜厚30nmのチタン(Ti)層又はTi合金層と、例えば膜厚130nmのAl層又はAl合金層と、例えば膜厚70nmのTi層又はTi合金層と、例えば膜厚15nmのTi層又はTi合金層とをこの順にスパッタリングにより全面に成膜する。これにより、高融点金属層12bとAl系金属層12aと高融点金属層12bとからなる厚さ約245nmの金属層を形成する。高融点金属としては、Ti以外にも例えばクロム(Cr)、モリブデン(Mo)、タンタル(Ta)、タングステン(W)、及びこれらの合金を用いることができる。Al合金としては、ネオジム(Nd)、ケイ素(Si)、銅(Cu)、Ti、W、Ta、スカンジウム(Sc)等のうち1つ又は複数をAlに添加した材料を用いることができる。

【0040】

次いで、金属層上の全面にレジストを塗布する。次に、フォトリソあるいはレチクル(以下、単に「マスク」という)を用いて露光して現像し、所定形状のレジストパターンを形成する。次に、塩素系ガスを用いたドライエッチングを行

う。これにより、ゲート端子下部電極 30 が形成されるとともに、ゲートバスライン 12 及び蓄積容量バスライン 18 (共に図 6 (a) では図示せず) が形成される。さらに、磷酸系エッチャントを用いたウエットエッチングにより、A1 系金属層 12 a 側面のサイドエッチングを行う。これによって、高融点金属層 12 b の端面 63、64 より内側に A1 系金属層 12 a の端面 62 が形成される。なお、ドライエッチングの条件によっては、ウエットエッチングを行わなくても A1 系金属層 12 a のサイドエッチングが可能である。

【0041】

次に、図 6 (b) に示すように、例えば膜厚 400 nm の SiN 膜をプラズマ CVD 法により基板全面に成膜し、絶縁膜 32 を形成する。次に、動作半導体層 50 を形成するための例えば膜厚 30 nm の a-Si 層 50' をプラズマ CVD 法により基板全面に成膜する。さらに、チャネル保護膜 23 を形成するための例えば膜厚 120 nm の SiN 膜 23' をプラズマ CVD 法により基板全面に成膜する。

【0042】

次に、スピコート等により SiN 膜 23' 上の全面にレジストを塗布する。次に、ゲート端子及びドレイン端子が形成される額縁領域を遮光するマスクを用い、またゲートバスライン 12 をマスクとして、ガラス基板 6 の裏面側 (図 6 (b) では下方) から背面露光を行う。続いて、ガラス基板 6 の表面側 (図 6 (b) では上方) から別のマスクを用いて露光する。その後現像し、露光された領域のレジストを溶解して除去する。これにより、ゲートバスライン 12 上のチャネル保護膜 23 形成領域上に自己整合的にレジストパターン (図示せず) が形成される。

【0043】

次に、得られたレジストパターンをエッチングマスクとして、フッ素系ガスを用いたドライエッチングを行う。これにより、図 6 (c) に示すように、繋ぎ換え領域 38 となる領域近傍の SiN 膜 23' が全面エッチングされて除去されるとともに、TFET 20 毎にチャネル保護膜 23 (図 6 (c) では図示せず) が形成される。

【0044】

次に、図6（d）に示すように、希フッ酸を用いてa-Si層50'表面を洗浄（自然酸化膜の除去）した後、速やかに、例えば膜厚30nmのn⁺a-Si層51をプラズマCVD法により全面に成膜する。次いで、ドレイン電極21、ソース電極22、蓄積容量電極25及びドレインバスライン14を形成するための例えばTi層（又はTi合金層）53a、Al層（又はAl合金層）53b及びTi層（又はTi合金層）53aの積層からなる金属層53をスパッタリングによりそれぞれ20/75/40nmの膜厚に成膜する。Ti層53aに代えて、例えばCr、Mo、Ta、W及びこれらの合金等からなる高融点金属層を用いることもできる。

【0045】

次に、金属層53上の全面にレジストを塗布する。次に、マスクを用いて露光して現像し、所定形状のレジストパターンを形成する。次に、レジストパターンをエッチングマスクとして、塩素系ガスを用いたドライエッチングを金属層53、n⁺a-Si層51及びa-Si層50'に対して行う。これにより、図6（e）に示すように、繋ぎ換え領域38となる領域近傍の金属層53、n⁺a-Si層51及びa-Si層50'が全面エッチングされて除去されるとともに、ドレインバスライン14、ドレイン電極21、ソース電極22、蓄積容量電極25、及び動作半導体層50（いずれも図6（e）では図示せず）が形成される。このエッチング処理において、チャネル保護膜23はエッチングストッパとして機能し、その下層のa-Si層50'はエッチングされずに残存する。

【0046】

次に、図7（a）に示すように、例えば膜厚300nmのSiN膜をプラズマCVD法により基板全面に成膜し、保護膜34を形成する。

【0047】

次に、図7（b）に示すように、感光性を有する絶縁性有機樹脂を保護膜34上の全面に塗布してOC層36を形成する。次に、ハーフ露光や2回露光等を用いて、凹凸状又は皺状のOC層36表面を形成するとともに、OC層36をパターンニングする。電極繋ぎ換え領域38近傍及び電極繋ぎ換え領域38より基板端

部側では、OC層 36 が除去されており、保護膜 34 表面が露出している。また OC層 36 は、コンタクトホール 24、26 形成領域上が開口されている。

【0048】

続いて、図 7 (c) に示すように、パターニングされた OC層 36 をエッチングマスクとして、フッ素系ガスを用いたドライエッチングにより保護膜 34 と絶縁膜 32 をエッチング除去する。このエッチングによって、ゲート端子上部電極 40 形成領域では保護膜 34 及び絶縁膜 32 が除去され、ゲート端子下部電極 30 の高融点金属層 12b 表面及びガラス基板 6 表面が露出する。同時に、TF T 20 のソース電極 22 上の保護膜 34 及び絶縁膜 32 が開口され、コンタクトホール 24 が形成される。同様に、蓄積容量電極 25 上の保護膜 34 及び絶縁膜 32 が開口され、コンタクトホール 26 が形成される。

【0049】

なお、本実施の形態ではゲート端子下部電極 30 を形成した直後 (図 6 (a) 参照) に A1 系金属層 12a のサイドエッチングを行っているが、OC層 36、保護膜 34 及び絶縁膜 32 をパターニングしてゲート端子下部電極 30 が露出した後に A1 系金属層 12a のサイドエッチングを行ってもよい。ゲート端子下部電極 30 を形成した直後に A1 系金属層 12a のサイドエッチングを行うと、表示領域のゲートバスライン 12 の A1 系金属層 12a もエッチングされてしまう。A1 系金属層 12a の端面が高融点金属層 12b の端面より内側に形成されると、ゲートバスライン 12 全体としての端面は凹状になる (図 4 参照)。このため、絶縁膜 32 の被覆性が低下し、TF T 20 のゲート電極 (ゲートバスライン) 12 とドレイン電極 21 及びソース電極 22 との間の絶縁性が低下するおそれがある。OC層 36、保護膜 34 及び絶縁膜 32 をパターニングしてゲート端子下部電極 30 が露出した後に A1 系金属層 12a のサイドエッチングを行えば、表示領域のゲートバスライン 12 の A1 系金属層 12a がエッチングされることはないため、上記の問題が生じない。

【0050】

また、本実施の形態では、パターニングされた OC層 36 をエッチングマスクとして用いて保護膜 34 がパターニングされているが、保護膜 34 をパターンニ

グした後にOC層36を形成してもよい。

【0051】

続いて、図7(d)に示すように、透明酸化物導電材料である例えば膜厚50nmのITO層16aと、例えば膜厚100nmのAg合金層16bと、例えば膜厚50nmのITO層16aとをスパッタリング等の薄膜形成方法により基板全面にこの順に成膜する。次に、所定形状のレジストパターンを形成し、当該レジストパターンをエッチングマスクとして、シュウ酸系エッチャントを用いたウエットエッチングを行う。これにより、電極繋ぎ換え領域38でゲート端子下部電極30に電氣的に接続されるゲート端子上部電極40が形成される。同時に表示領域には、コンタクトホール24を介してソース電極22に電氣的に接続され、コンタクトホール26を介して蓄積容量電極25に電氣的に接続された画素電極16が画素領域毎に形成される。このとき、ゲート端子下部電極30のA1系金属層12aは、その端面62が各高融点金属層12bの端面63、64より内側に形成されているため、ゲート端子上部電極40、40'のITO層16aには接触しない。このため、端子部の腐食や、腐食に起因する断線を防止でき、端子部の信頼性が向上する。この後、150～230℃の範囲内、好ましくは200℃で熱処理する。

【0052】

以上説明したように、本実施の形態によれば、製造工程を複雑化することなく、高い信頼性を有する液晶表示装置を実現できる。

【0053】

〔第2の実施の形態〕

次に、本発明の第2の実施の形態による表示装置用基板及びその製造方法について図8乃至図12を用いて説明する。図8は、本実施の形態による透過型液晶表示装置に用いられるTF T基板2の1画素の構成を示している。図9は、図8のC-C線で切断したTF T基板2の断面を示している。図8及び図9に示すように、本実施の形態によるTF T基板2のTF T20は、チャンネル保護膜を有していないチャンネルエッチ型である。また、本実施の形態によるTF T基板2は、顔料分散型の樹脂CF層44が形成され、樹脂CF層44上に絶縁性有機樹脂材

料からなるOC層36が形成されたCF-on-TFT構造である。

【0054】

TFT20は、絶縁膜32上に動作半導体層50を有している。動作半導体層50上には、ドレイン電極21及びその下層のn+a-Si層51と、ソース電極22及びその下層のn+a-Si層51とが、所定の間隙を介して互いに対向して形成されている。動作半導体層50のチャネル領域表面は、両電極21、22間の分離絶縁を確実にするために一部エッチングされている。

【0055】

TFT20上及び蓄積容量電極25上を含む各画素領域には、樹脂CF層44R（赤）、44G（緑）、44B（青）のいずれかが形成されている。CF-on-TFT構造では、樹脂CF層44R、44G、44BによりTFT20の遮光が可能のため、特別な遮光パターンを有さない構成であっても良好な表示特性が得られるようになっている。また、対向基板4に遮光膜を形成する必要がないため、対向基板4の製造工程を簡略化できるだけでなく、TFT基板2と対向基板4との間の高い貼り合わせ精度が要求されない。したがって、バスライン12、14と画素電極16端部とを重ねて形成せずに、高開口率で高精細の液晶表示装置を量産できるようになっている。

【0056】

樹脂CF層44R、44G、44B上にはOC層36が形成されている。各画素のOC層36上には、ITO等の透明酸化電極材料からなる画素電極16が形成されている。画素電極16は、ソース電極22上のOC層36、樹脂CF層44R、44G、44B及び保護膜34が開口されたコンタクトホール24を介して、ソース電極22に電氣的に接続されている。また画素電極16は、蓄積容量電極25上のOC層36、樹脂CF層44R、44G、44B及び保護膜34が開口されたコンタクトホール26を介して、蓄積容量電極25に電氣的に接続されている。

【0057】

図10（a）は本実施の形態による表示装置用基板のゲート端子の電極繋ぎ換え領域近傍を基板面に垂直方向に見た構成を示し、図10（b）は図10（a）

のD-D線で切断した断面を示している。図10(a)、(b)に示すように、ゲート端子8は、ゲート端子下部電極30(第1の端子電極)と、ゲート端子上部電極40(第2の端子電極)と、両電極30、40が接続される電極繋ぎ換え領域38とを有している。

【0058】

ゲート端子下部電極30は、ゲートバスライン12と同一の形成材料で形成されている。すなわちゲート端子下部電極30は、A1系金属層(第1層)12aと、高融点金属層(第2層)12bとがこの順に積層された構造を有している。ゲート端子下部電極30のA1系金属層12aの端面62は、高融点金属層12bの端面63より内側に形成されている。

【0059】

ゲート端子下部電極30上には、図9に示す絶縁膜32と同一層である絶縁膜32が形成されている。絶縁膜32上には、図9に示す保護膜34、樹脂CF層44R(44G、44B)及びOC層36とそれぞれ同一層である保護膜34、樹脂CF層44R(又は44G、44B)及びOC層36がこの順に形成されている。電極繋ぎ換え領域38近傍のOC層36、保護膜34、樹脂CF層44R及び絶縁膜32は、TFT20のソース電極22上のコンタクトホール24を形成する際のパターニングにより除去されている。OC層36、保護膜34、樹脂CF層44R及び絶縁膜32は、電極繋ぎ換え領域38より表示領域側に端面を有している。

【0060】

繋ぎ換え領域38のゲート端子下部電極30上には、ゲート端子上部電極40が形成されている。ゲート端子上部電極40は、画素電極16と同一の形成材料(ITO等)で形成されている。ゲート端子下部電極30のA1系金属層12aは、その端面62が高融点金属層12bの端面63より内側に形成されているため、ゲート端子上部電極40には接触していない。

【0061】

本実施の形態では、ITO等からなるゲート端子上部電極40と、ゲート端子下部電極30のA1系金属層12aとが直接接触しない。このため、端子部の腐

食を防止でき、腐食に起因する断線も防止できる。

【0062】

また、本実施の形態では、ゲート端子上部電極40がOC層36上ではなくガラス基板6上に密着良好に形成されている。このため、OC層36及び樹脂CF層44R、44G、44Bに特別な樹脂を用いることなく、TAB端子を剥離する際のゲート端子上部電極40、OC層36及び樹脂CF層44R、44G、44Bの剥がれを防止できる。

【0063】

次に、本実施の形態による表示装置用基板の製造方法について図11及び図12を用いて説明する。図11(a)～(e)及び図12(a)～(d)は、TFT基板の製造工程を示す工程断面図であり、図10(b)に対応する断面を示している。まず、図11(a)に示すように、透明絶縁性基板であるガラス基板6上に直接、又は必要に応じて SiO_x 等の保護膜を形成した後に、例えば膜厚130nmのAl層又はAl合金層と、例えば膜厚70nmのTi層又はTi合金層とをこの順にスパッタリングにより全面に成膜する。これにより、Al系金属層12aと高融点金属層12bとからなる厚さ約200nmの金属層を形成する。高融点金属としては、Ti以外にも例えばCr、Mo、Ta、W、及びこれらの合金を用いることができる。Al合金としては、Nd、Si、Cu、Ti、W、Ta、Sc等のうち1つ又は複数をAlに添加した材料を用いることができる。

【0064】

次いで、金属層上の全面にレジストを塗布する。次に、マスクを用いて露光して現像し、所定形状のレジストパターンを形成する。次に、塩素系ガスを用いたドライエッチングを行う。これにより、ゲート端子下部電極30が形成されるとともに、ゲートバスライン12及び蓄積容量バスライン18（共に図11(a)では図示せず）が形成される。さらに、燐酸系エッチャントを用いたウエットエッチングにより、Al系金属層12a側面のサイドエッチングを行う。これによって、高融点金属層12bの端面63より内側にAl系金属層12aの端面62が形成される。なお、ドライエッチングの条件によっては、ウエットエッチング

を行わなくても、Al系金属層12aのサイドエッチングが可能である。

【0065】

次に、図11(b)に示すように、例えば膜厚400nmのSiN膜をプラズマCVD法により基板全面に成膜し、絶縁膜32を形成する。次に、動作半導体層50を形成するための例えば膜厚150nmのa-Si層50'をプラズマCVD法により全面に成膜する。さらに、オーミックコンタクト層を形成するための例えば膜厚30nmのn+a-Si層51をプラズマCVD法により全面に成膜する。

【0066】

次に、スピコート等によりn+a-Si層51上の全面にレジストを塗布する。続いて、マスクを用いて順方向(図11(b)では上方)から露光する。その後現像し、露光された領域のレジストを溶解して除去する。これにより、TF T20の動作半導体層50を形成する領域にレジストパターン(図示せず)が形成される。

【0067】

次に、得られたレジストパターンをエッチングマスクとして、フッ素系ガスを用いたドライエッチングを行う。これにより、図11(c)に示すように、繋ぎ換え領域38となる領域近傍のn+a-Si層51及びSiN膜23'が全面エッチングされて除去されるとともに、TF T20のチャネル領域となる領域、及びドレイン電極21とソース電極22とが形成される領域にn+a-Si層51及び動作半導体層50が島状に形成される。

【0068】

次に、図11(d)に示すように、希フッ酸を用いてn+a-Si層51表面を洗浄した後、速やかに、ドレイン電極21、ソース電極22、蓄積容量電極25及びドレインバスライン14を形成するための例えばTi層(又はTi合金層)53a、Al層(又はAl合金層)53b及びTi層(又はTi合金層)53aの積層からなる金属層53をスパッタリングによりそれぞれ20/75/40nmの膜厚に成膜する。Ti層53aに代えて、例えばCr、Mo、Ta、W及びこれらの合金等からなる高融点金属層を用いることもできる。

【0069】

次に、金属層 53 上の全面にレジストを塗布する。次に、マスクを用いて露光して現像し、所定形状のレジストパターンを形成する。次に、レジストパターンをエッチングマスクとして、塩素系ガスを用いたドライエッチングを金属層 53 に対して行う。これにより、図 11 (e) に示すように、繋ぎ換え領域 38 となる領域近傍の金属層 53 が全面エッチングされて除去されるとともに、ドレインバスライン 14、ドレイン電極 21、ソース電極 22、及び蓄積容量電極 25 (いずれも図 11 (e) では図示せず) が形成される。続いて、ドレイン電極 21 とソース電極 22 との間に残存する n^+a-Si 層 51 に対して、塩素系ガスを用いたドライエッチングを行う。このエッチングでは、ドレイン電極 21 及びその下層の n^+a-Si 層 51 と、ソース電極 22 及びその下層の n^+a-Si 層 51 との間を確実に分離させるため、動作半導体層 50 表面までエッチング (チャネルエッチング) される。

【0070】

次に、図 12 (a) に示すように、例えば膜厚 300 nm の SiN 膜をプラズマ CVD 法により基板全面に成膜し、保護膜 34 を形成する。

【0071】

次に、各画素領域毎に樹脂 CF 層 44R、44G、44B のいずれかを形成する。樹脂 CF 層 44R、44G、44B は、例えば図 8 の上下方向に隣接する画素が同一色になるようにストライプ状に形成される。まず、図 12 (b) に示すように、保護膜 34 上の全面に、例えば赤色の顔料を分散させたアクリル系ネガ型感光性樹脂をスピンコートやスリットコート等を用いて例えば膜厚 170 nm に塗布する。次いで、大型マスクを用いた近接露光 (プロキシミティ露光) により、図 8 の上下方向に隣接する複数列の画素領域にストライプ状にネガ型感光性樹脂が残るように露光する。次いで、KOH などのアルカリ現像液を用いて現像して赤色樹脂 CF 層 44R が形成される。これにより、赤色画素領域に対して赤色の分光特性が付与されるとともに、赤色画素領域の TFT 20 への外光の入射を防止する遮光機能を付加することができる。

【0072】

同様に、青色の顔料を分散させたアクリル系ネガ型感光性樹脂を塗布してパターンニングし、赤色樹脂CF層44Rに隣接する画素領域にストライプ状の青色樹脂CF層44Bを形成する。これにより、青色画素領域に対して青色の分光特性が付与されるとともに、青色画素領域のTF T 20への外光の入射を防止する遮光機能が付加される。

【0073】

さらに、緑色の顔料を分散させたアクリル系ネガ型感光性樹脂を塗布してパターンニングし、赤色樹脂CF層44R及び青色樹脂CF層44Bに隣接する画素領域にストライプ状の緑色樹脂CF層44Gを形成する。これにより、緑色画素領域に対して緑色の分光特性が付与されるとともに、緑色画素領域のTF T 20への外光の入射を防止する遮光機能が付加される。

【0074】

次に、TF T 20のソース電極22上の樹脂CF層44R、44G、44Bにコンタクトホール24を開口する。同様に、蓄積容量電極25上の樹脂CF層44R、44G、44Bにコンタクトホール26を開口する。

【0075】

次に、樹脂CF層44R、44G、44B上の全面にスピンコートやスリットコート等を用いてOC樹脂を塗布し、140℃以下の温度で加熱処理してOC層36を形成する。OC樹脂としては、例えばネガ型の感光性を有するアクリル系樹脂が用いられる。次いで、大型マスクを用いて近接露光し、KOHなどのアルカリ現像液を用いて現像してOC層36をパターンニングする。電極繋ぎ換え領域38近傍及び電極繋ぎ換え領域38より基板端部側では、OC層36が除去されており、保護膜34表面が露出している。またOC層36には、樹脂CF層44R、44G、44Bのコンタクトホール24、26に位置合わせされたコンタクトホール24、26が形成される。

【0076】

続いて、図12(c)に示すように、パターンニングされたOC層36をエッチングマスクとして、フッ素系ガスを用いたドライエッチングにより保護膜34と絶縁膜32をエッチング除去する。このエッチングにより、ゲート端子上部電極

40の形成領域では保護膜34及び絶縁膜32が除去され、ゲート端子下部電極30の高融点金属層12b表面及びガラス基板6表面が露出する。同時に、TFT20のソース電極22上の保護膜34及び絶縁膜32が開口され、コンタクトホール24が形成される。同様に、蓄積容量電極25上の保護膜34及び絶縁膜32が開口され、コンタクトホール26が形成される。

【0077】

なお、本実施の形態ではゲート端子下部電極30を形成した直後(図11(a)参照)にA1系金属層12aのサイドエッチングを行っているが、第1の実施の形態と同様に、OC層36、保護膜34及び絶縁膜32をパターンニングしてゲート端子下部電極30が露出した後にA1系金属層12aのサイドエッチングを行ってもよい。

【0078】

続いて、図12(d)に示すように、透明酸化物導電材料である例えば膜厚70nmのITO層をスパッタリング等の薄膜形成方法により基板全面に成膜する。次に、所定形状のレジストパターンを形成し、当該レジストパターンをエッチングマスクとして、シュウ酸系エッチャントを用いたウエットエッチングを行う。これにより、電極繋ぎ換え領域38でゲート端子下部電極30に電氣的に接続されるゲート端子上部電極40が形成される。同時に表示領域には、コンタクトホール24を介してソース電極22に電氣的に接続され、コンタクトホール26を介して蓄積容量電極25に電氣的に接続された画素電極16が画素領域毎に形成される。このとき、ゲート端子下部電極30のA1系金属層12aは、その端面62が高融点金属層12bの端面63より内側に形成されているため、ITOからなるゲート端子上部電極40には接触しない。このため、端子部の腐食や、腐食に起因する断線を防止でき、端子部の信頼性が向上する。この後、150～230℃の範囲内、好ましくは200℃で熱処理する。

【0079】

以上説明したように、本実施の形態によれば、製造工程を複雑化することなく、高い信頼性を有する液晶表示装置を実現できる。

【0080】

〔第3の実施の形態〕

次に、本発明の第3の実施の形態による表示装置用基板及びその製造方法について図13乃至図15を用いて説明する。図13(a)は本実施の形態による表示装置用基板のゲート端子の電極繋ぎ換え領域近傍を基板面に垂直方向に見た構成を示し、図13(b)は図13(a)のE-E線で切断した断面を示している。図13(a)、(b)に示すように、ゲート端子8は、ゲート端子下部電極30(第1の端子電極)と、ゲート端子上部電極40(第2の端子電極)と、両電極30、40が接続される電極繋ぎ換え領域38とを有している。

【0081】

ゲート端子下部電極30は、ゲートバスライン12と同一の形成材料で形成され、A1系金属層(第1層)12aと、高融点金属層(第2層)12bとがこの順に積層された構造を有している。ゲート端子下部電極30のA1系金属層12aは、ガラス基板6側の幅が広い順テーパ形状を有している。A1系金属層12aの端面62は、表面側では高融点金属層12bの端面63にはほぼ一致して形成され、ガラス基板6側では高融点金属層12bの端面63より外側に形成されている。A1系金属層12aの端面62には、酸化A1膜や窒化A1膜等の端面絶縁膜66が形成されている。端面絶縁膜66は、例えば30nm以下の膜厚を有している。

【0082】

ゲート端子下部電極30上には、絶縁膜32が形成されている。絶縁膜32上には、保護膜34、樹脂CF層44R(又は44G、44B)及びOC層36がこの順に形成されている。電極繋ぎ換え領域38近傍のOC層36、保護膜34、樹脂CF層44R及び絶縁膜32は、TFT20のソース電極22上のコンタクトホール24を形成する際のパターンニングにより除去されている。OC層36、保護膜34、樹脂CF層44R及び絶縁膜32は、電極繋ぎ換え領域38より表示領域側に端面を有している。

【0083】

繋ぎ換え領域38のゲート端子下部電極30上には、ゲート端子上部電極40が形成されている。ゲート端子上部電極40は、画素電極16と同一の形成材料

(ITO等)で形成されている。ゲート端子下部電極30のAl系金属層12aは、端面に端面絶縁膜66が形成されているため、ゲート端子上部電極40には接触していない。

【0084】

本実施の形態では、ITO等からなるゲート端子上部電極40と、ゲート端子下部電極30のAl系金属層12aとが直接接触しない。このため、端子部の腐食を防止でき、腐食に起因する断線も防止できる。

【0085】

また、本実施の形態では、ゲート端子上部電極40がOC層36上ではなくガラス基板6上に密着良好に形成されている。このため、OC層36及び樹脂CF層44R、44G、44Bに特別な樹脂を用いることなく、TAB端子を剥離する際のゲート端子上部電極40、OC層36及び樹脂CF層44R、44G、44Bの剥がれを防止できる。

【0086】

次に、本実施の形態による表示装置用基板の製造方法について図14及び図15を用いて説明する。図14(a)～(e)及び図15(a)～(d)は、チャネルエッチ型のTFEを有するTFE基板の製造工程を示す工程断面図であり、図13(b)に対応する断面を示している。まず、図14(a)に示すように、透明絶縁性基板であるガラス基板6上に直接、又は必要に応じて SiO_x 等の保護膜を形成した後に、例えば膜厚130nmのAl層又はAl合金層と、例えば膜厚70nmのMo層又はMo合金層と、例えば膜厚10nmのMo層又はMo合金層とをこの順にスパッタリングにより全面に成膜する。これにより、Al系金属層12aと高融点金属層12bとからなる厚さ約210nmの金属層を形成する。高融点金属としては、Mo以外にも例えばCr、Ti、Ta、W、及びこれらの合金を用いることができる。Al合金としては、Nd、Si、Cu、Ti、W、Ta、Sc等のうち1つ又は複数をAlに添加した材料を用いることができる。

【0087】

次いで、金属層上の全面にレジストを塗布する。次に、マスクを用いて露光し

て現像し、所定形状のレジストパターンを形成する。次に、燐酸系エッチャントを用いたウェットエッチングを行う。これにより、ゲート端子下部電極 30 が形成されるとともに、ゲートバスライン 12 及び蓄積容量バスライン 18（共に図 14（a）では図示せず）が形成される。このとき、Al 系金属層 12a の端面 62 は、順テーパ状に形成される。

【0088】

次に、図 14（b）に示すように、例えば膜厚 400 nm の SiN 膜をプラズマ CVD 法により基板全面に成膜し、絶縁膜 32 を形成する。次に、動作半導体層 50 を形成するための例えば膜厚 150 nm の a-Si 層 50' をプラズマ CVD 法により全面に成膜する。さらに、オーミックコンタクト層を形成するための例えば膜厚 30 nm の n+a-Si 層 51 をプラズマ CVD 法により全面に成膜する。

【0089】

次に、スピコート等により n+a-Si 層 51 上の全面にレジストを塗布する。続いて、マスクを用いて順方向（図 14（b）では上方）から露光する。その後現像し、露光された領域のレジストを溶解して除去する。これにより、TF T20 の動作半導体層 50 を形成する領域にレジストパターン（図示せず）が形成される。

【0090】

次に、得られたレジストパターンをエッチングマスクとして、フッ素系ガスを用いたドライエッチングを行う。これにより、図 14（c）に示すように、繋ぎ換え領域 38 となる領域近傍の n+a-Si 層 51 及び SiN 膜 23' が全面エッチングされて除去されるとともに、TF T20 のチャネル領域となる領域、及びドレイン電極 21 とソース電極 22 とが形成される領域に n+a-Si 層 51 及び動作半導体層 50 が島状に形成される。

【0091】

次に、図 14（d）に示すように、希フッ酸を用いて n+a-Si 層 51 表面を洗浄した後、速やかに、ドレイン電極 21、ソース電極 22、蓄積容量電極 25 及びドレインバスライン 14 を形成するための例えば Ti 層（又は Ti 合金層

）53a、Al層（又はAl合金層）53b及びTi層（又はTi合金層）53aの積層からなる金属層53をスパッタリングによりそれぞれ20/75/40nmの膜厚に成膜する。Ti層53aに代えて、例えばCr、Mo、Ta、W及びこれらの合金等からなる高融点金属層を用いることもできる。

【0092】

次に、金属層53上の全面にレジストを塗布する。次に、マスクを用いて露光して現像し、所定形状のレジストパターンを形成する。次に、レジストパターンをエッチングマスクとして、塩素系ガスを用いたドライエッチングを金属層53に対して行う。これにより、図14（e）に示すように、繋ぎ換え領域38となる領域近傍の金属層53が全面エッチングされて除去されるとともに、ドレインバスライン14、ドレイン電極21、ソース電極22、及び蓄積容量電極25（いずれも図14（e）では図示せず）が形成される。続いて、ドレイン電極21とソース電極22との間に残存するn+a-Si層51に対して塩素系ガスを用いたドライエッチングを行う。このエッチングでは、ドレイン電極21及びその下層のn+a-Si層51と、ソース電極22及びその下層のn+a-Si層51との間を確実に分離させるため、動作半導体層50表面までエッチング（チャネルエッチング）される。

【0093】

次に、図15（a）に示すように、例えば膜厚300nmのSiN膜をプラズマCVD法により基板全面に成膜し、保護膜34を形成する。

【0094】

次に、各画素領域毎に樹脂CF層44R、44G、44Bのいずれかを形成する。樹脂CF層44R、44G、44Bは、例えば表示画面上の上下方向に隣接する画素が同一色になるようにストライプ状に形成される。まず、図15（b）に示すように、保護膜34上の全面に、例えば赤色の顔料を分散させたアクリル系ネガ型感光性樹脂をスピコートやスリットコート等を用いて例えば膜厚170nmに塗布する。次いで、大型マスクを用いた近接露光により、表示画面上の上下方向に隣接する複数列の画素領域にストライプ状にネガ型感光性樹脂が残るように露光する。次いで、KOHなどのアルカリ現像液を用いて現像して赤色樹

脂CF層44Rが形成される。これにより、赤色画素領域に対して赤色の分光特性が付与されるとともに、赤色画素領域のTF T 20への外光の入射を防止する遮光機能を付加することができる。

【0095】

同様に、青色の顔料を分散させたアクリル系ネガ型感光性樹脂を塗布してパターンニングし、赤色樹脂CF層44Rに隣接する画素領域にストライプ状の青色樹脂CF層44Bを形成する。これにより、青色画素領域に対して青色の分光特性が付与されるとともに、青色画素領域のTF T 20への外光の入射を防止する遮光機能が付加される。

【0096】

さらに、緑色の顔料を分散させたアクリル系ネガ型感光性樹脂を塗布してパターンニングし、赤色樹脂CF層44R及び青色樹脂CF層44Bに隣接する画素領域にストライプ状の緑色樹脂CF層44Gを形成する。これにより、緑色画素領域に対して緑色の分光特性が付与されるとともに、緑色画素領域のTF T 20への外光の入射を防止する遮光機能が付加される。

【0097】

次に、TF T 20のソース電極22上の樹脂CF層44R、44G、44Bにコンタクトホール24を開口する。同様に、蓄積容量電極25上の樹脂CF層44R、44G、44Bにコンタクトホール26を開口する。

【0098】

次に、樹脂CF層44R、44G、44B上の全面にスピンコートやスリットコート等を用いてOC樹脂を塗布し、140℃以下の温度で加熱処理してOC層36を形成する。OC樹脂としては、例えばネガ型の感光性を有するアクリル系樹脂が用いられる。次いで、大型マスクを用いて近接露光し、KOHなどのアルカリ現像液を用いて現像してOC層36をパターンニングする。電極繋ぎ換え領域38近傍及び電極繋ぎ換え領域38より基板端部側では、OC層36が除去されており、保護膜34表面が露出している。またOC層36には、樹脂CF層44R、44G、44Bのコンタクトホール24、26に位置合わせされたコンタクトホール24、26が形成される。

【0099】

続いて、図15(c)に示すように、パターニングされたOC層36をエッチングマスクとして、フッ素系ガスを用いたドライエッチングにより保護膜34と絶縁膜32をエッチング除去する。このエッチングにより、ゲート端子上部電極40の形成領域では保護膜34及び絶縁膜32が除去され、ゲート端子下部電極30の高融点金属層12b表面及びガラス基板6表面が露出する。同時に、TFT20のソース電極22上の保護膜34及び絶縁膜32が開口され、コンタクトホール24が形成される。同様に、蓄積容量電極25上の保護膜34及び絶縁膜32が開口され、コンタクトホール26が形成される。

【0100】

続いて、露出したゲート端子下部電極30のAl系金属層12aの端面62を例えばO₂アッシング処理により酸化し、Al系金属層の酸化膜からなる端面絶縁膜66を形成する。端面絶縁膜66の形成は、高圧酸化、熱処理等によっても可能である。また、Al系金属層12aの端面62を窒素プラズマにより窒化し、Al系金属層の窒化膜からなる端面絶縁膜66を形成することも可能である。

【0101】

次に、図15(d)に示すように、透明酸化物導電材料である例えば膜厚70nmのITO層をスパッタリング等の薄膜形成方法により基板全面に成膜する。次に、所定形状のレジストパターンを形成し、当該レジストパターンをエッチングマスクとして、シュウ酸系エッチャントを用いたウエットエッチングを行う。これにより、電極繋ぎ換え領域38でゲート端子下部電極30に電氣的に接続されるゲート端子上部電極40が形成される。同時に表示領域には、コンタクトホール24を介してソース電極22に電氣的に接続され、コンタクトホール26を介して蓄積容量電極25に電氣的に接続された画素電極16が画素領域毎に形成される。このとき、ゲート端子下部電極30のAl系金属層12aは、その端面62に端面絶縁膜66が形成されているため、ITOからなるゲート端子上部電極40には接触しない。このため、端子部の腐食や、腐食に起因する断線を防止でき、端子部の信頼性が向上する。この後、150～230℃の範囲内、好ましくは200℃で熱処理する。

【0102】

以上説明したように、本実施の形態によれば、製造工程を複雑化することなく、高い信頼性を有する液晶表示装置を実現できる。

【0103】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態では、透過型及び反射型の液晶表示装置を例に挙げたが、本発明はこれに限らず、半透過型の液晶表示装置にも適用できる。

【0104】

以上説明した実施の形態による表示装置用基板及びその製造方法及びそれを備えた表示装置は、以下のようにまとめられる。

(付記1)

基板上に絶縁膜を介して互いに交差して形成された複数のバスラインと、
前記バスライン上に形成された絶縁樹脂層と、
前記基板上に配列した画素領域毎の前記絶縁樹脂層上に形成された画素電極と

A1又はA1合金で形成され第1の端面を有する第1層と、前記第1層上に高融点金属で形成され前記第1の端面より外側に第2の端面を有する第2層とを有し、前記バスラインに電氣的に接続された第1の端子電極と、前記画素電極と同一の形成材料で前記第1の端子電極上に形成され、前記第1の端面に接触せずに前記第1の端子電極に電氣的に接続された第2の端子電極とを備え、外部回路と前記バスラインとを電氣的に接続する外部接続端子と

を有することを特徴とする表示装置用基板。

【0105】

(付記2)

付記1記載の表示装置用基板において、
前記第1の端子電極は、前記第1層の下層に高融点金属で形成された第3層をさらに有すること
を特徴とする表示装置用基板。

【0106】

(付記 3)

付記 2 記載の表示装置用基板において、
前記第 3 層は、前記第 1 の端面より外側に第 3 の端面を有し、
前記第 2 の端子電極は、少なくとも前記第 3 の端面に接触していること
を特徴とする表示装置用基板。

【0107】

(付記 4)

基板上に絶縁膜を介して互いに交差して形成された複数のバスラインと、
前記バスライン上に形成された絶縁樹脂層と、
前記基板上に配列した画素領域毎の前記絶縁樹脂層上に形成された画素電極と

A1 又は A1 合金で形成された第 1 層と、前記第 1 層の端面に形成された端面
絶縁膜と、前記第 1 層上に高融点金属で形成された第 2 層とを有し、前記バスラ
インに電氣的に接続された第 1 の端子電極と、前記画素電極と同一の形成材料で
前記第 1 の端子電極上に形成され、前記第 1 層に接触せずに前記第 1 の端子電極
に電氣的に接続された第 2 の端子電極とを備え、外部回路と前記バスラインとを
電氣的に接続する外部接続端子と

を有することを特徴とする表示装置用基板。

【0108】

(付記 5)

付記 4 記載の表示装置用基板において、
前記端面絶縁膜は、前記 A1 又は A1 合金の窒化膜又は酸化膜であること
を特徴とする表示装置用基板。

【0109】

(付記 6)

付記 4 又は 5 に記載の表示装置用基板において、
前記端面絶縁膜は、30 nm 以下の膜厚を有していること
を特徴とする表示装置用基板。

【0110】

(付記 7)

付記 1 乃至 6 のいずれか 1 項に記載の表示装置用基板において、
前記第 1 の端子電極は、前記複数のバスラインのいずれかと同一の形成材料で
形成されていること
を特徴とする表示装置用基板。

【0 1 1 1】

(付記 8)

複数のバスラインを有する基板を備えた表示装置において、
前記基板として、付記 1 乃至 7 のいずれか 1 項に記載の表示装置用基板が用い
られていること
を特徴とする表示装置。

【0 1 1 2】

(付記 9)

基板上に A 1 又は A 1 合金を成膜して第 1 層を形成する第 1 の工程と、
前記第 1 層上に高融点金属を成膜して第 2 層を形成する第 2 の工程と、
前記第 2 層及び前記第 1 層をパターンニングして第 1 の端子電極を形成する第 3
の工程と、
前記基板上に絶縁樹脂層を形成する第 4 の工程と、
前記第 1 の端子電極上の前記絶縁樹脂層を除去する第 5 の工程と、
前記第 1 層の端面が前記第 2 層の端面より内側になるようにサイドエッチング
する第 6 の工程と、
前記第 1 の端子電極に電氣的に接続する第 2 の端子電極を前記第 1 層に接触さ
せずに形成する第 7 の工程と
を有することを特徴とする表示装置用基板の製造方法。

【0 1 1 3】

(付記 1 0)

付記 9 記載の表示装置用基板の製造方法において、
前記第 6 の工程は、前記第 5 の工程より後に行うこと
を特徴とする表示装置用基板の製造方法。

【0 1 1 4】

(付記 1 1)

付記 9 記載の表示装置用基板の製造方法において、
前記第 6 の工程は、前記第 4 の工程より前に行うこと
を特徴とする表示装置用基板の製造方法。

【0 1 1 5】

(付記 1 2)

基板上に A 1 又は A 1 合金を成膜して第 1 層を形成する第 1 の工程と、
前記第 1 層上に高融点金属を成膜して第 2 層を形成する第 2 の工程と、
前記第 2 層及び前記第 1 層をパターンニングして第 1 の端子電極を形成する第 3
の工程と、
前記基板上に絶縁樹脂層を形成する第 4 の工程と、
前記第 1 の端子電極上の前記絶縁樹脂層を除去する第 5 の工程と、
前記第 1 層の端面に端面絶縁膜を形成する第 6 の工程と、
前記第 1 の端子電極に電氣的に接続する第 2 の端子電極を前記第 1 層に接触さ
せずに形成する第 7 の工程と
を有することを特徴とする表示装置用基板の製造方法。

【0 1 1 6】

(付記 1 3)

付記 1 2 記載の表示装置用基板の製造方法において、
前記第 6 の工程は、前記第 1 層の端面を酸化処理又は窒化処理して前記端面絶
縁膜を形成すること
を特徴とする表示装置用基板の製造方法。

【0 1 1 7】

(付記 1 4)

付記 1 2 又は 1 3 に記載の表示装置用基板の製造方法において、
前記第 6 の工程は、前記第 5 の工程の後に行うこと
を特徴とする表示装置用基板の製造方法。

【0 1 1 8】

(付記 15)

付記 9 乃至 14 のいずれか 1 項に記載の表示装置用基板の製造方法において、前記第 1 の端子電極は、複数のバスラインのいずれかと同時に形成されることを特徴とする表示装置用基板の製造方法。

【0119】

(付記 16)

付記 9 乃至 15 のいずれか 1 項に記載の表示装置用基板の製造方法において、前記第 2 の端子電極は、画素電極と同時に形成されることを特徴とする表示装置用基板の製造方法。

【0120】

【発明の効果】

以上の通り、本発明によれば、製造工程を簡略化でき、かつ高い信頼性を有する表示装置用基板及びその製造方法及びそれを備えた表示装置を実現できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態による表示装置の概略構成を示す図である。

【図 2】

本発明の第 1 の実施の形態による表示装置用基板の等価回路を模式的に示す図である。

【図 3】

本発明の第 1 の実施の形態による表示装置用基板の 1 画素の構成を示す図である。

【図 4】

図 3 の A-A 線で切断した表示装置用基板の構成を示す断面図である。

【図 5】

本発明の第 1 の実施の形態による表示装置用基板のゲート端子の電極繋ぎ換え領域近傍の構成を示す図である。

【図 6】

本発明の第 1 の実施の形態による表示装置用基板の製造方法を示す工程断面図

である。

【図 7】

本発明の第 1 の実施の形態による表示装置用基板の製造方法を示す工程断面図である。

【図 8】

本発明の第 2 の実施の形態による表示装置用基板の 1 画素の構成を示す図である。

【図 9】

図 8 の C-C 線で切断した表示装置用基板の構成を示す断面図である。

【図 10】

本発明の第 2 の実施の形態による表示装置用基板のゲート端子の電極繋ぎ換え領域近傍の構成を示す図である。

【図 11】

本発明の第 2 の実施の形態による表示装置用基板の製造方法を示す工程断面図である。

【図 12】

本発明の第 2 の実施の形態による表示装置用基板の製造方法を示す工程断面図である。

【図 13】

本発明の第 3 の実施の形態による表示装置用基板のゲート端子の電極繋ぎ換え領域近傍の構成を示す図である。

【図 14】

本発明の第 3 の実施の形態による表示装置用基板の製造方法を示す工程断面図である。

【図 15】

本発明の第 3 の実施の形態による表示装置用基板の製造方法を示す工程断面図である。

【図 16】

従来の液晶表示装置用基板のゲート端子の電極繋ぎ換え領域近傍の構成を示す

図である。

【図 1 7】

従来の液晶表示装置用基板のゲート端子の電極繋ぎ換え領域近傍の構成を示す図である。

【図 1 8】

従来の液晶表示装置用基板のゲート端子の電極繋ぎ換え領域近傍の構成を示す図である。

【図 1 9】

従来の液晶表示装置用基板のゲート端子の電極繋ぎ換え領域近傍の構成を示す図である。

【符号の説明】

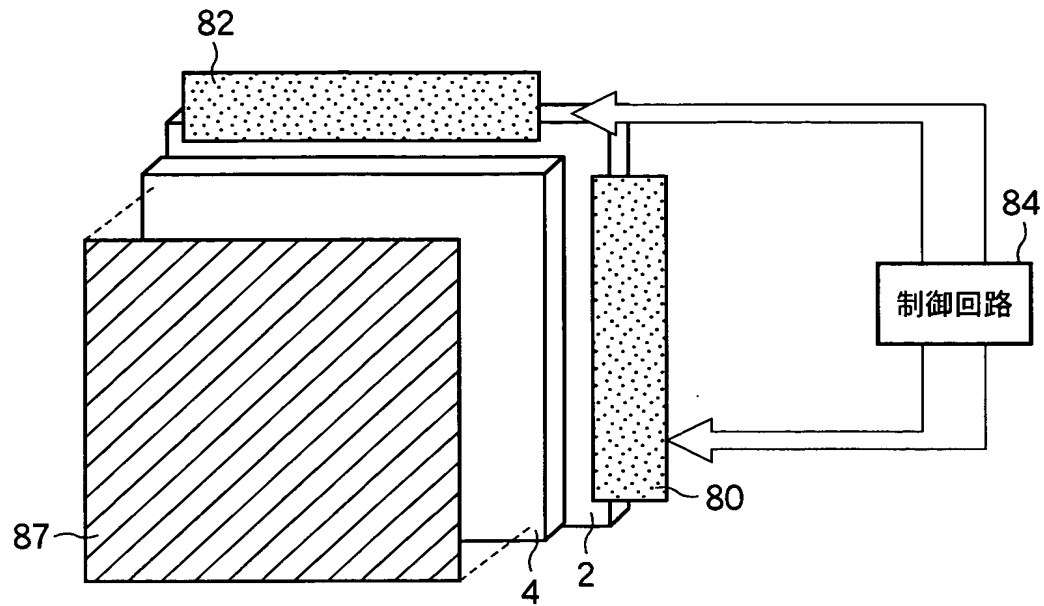
- 2 TFT 基板
- 4 対向基板
- 6 ガラス基板
- 8 ゲート端子
- 12 ゲートバスライン
- 12 a Al 系金属層
- 12 b 高融点金属層
- 14 ドレインバスライン
- 16 画素電極
- 16 a ITO 層
- 16 b Ag 合金層
- 18 蓄積容量バスライン
- 20 TFT
- 21 ドレイン電極
- 22 ソース電極
- 23 チャネル保護膜
- 24、26 コンタクトホール
- 25 蓄積容量電極

- 30 ゲート端子下部電極
- 32 絶縁膜
- 34 保護膜
- 36 OC層
- 38 電極繋ぎ換え領域
- 40、40' ゲート端子上部電極
- 42 突起
- 44 樹脂CF層
- 50 動作半導体層
- 50' a-Si層
- 51 n⁺a-Si層
- 53 金属層
- 53a Ti層
- 53b Al層
- 60 段切れ部
- 62、63、64 端面
- 66 端面絶縁膜
- 80 ゲートバスライン駆動回路
- 82 ドレインバスライン駆動回路
- 84 制御回路
- 87 偏光板
- 88 バックライトユニット

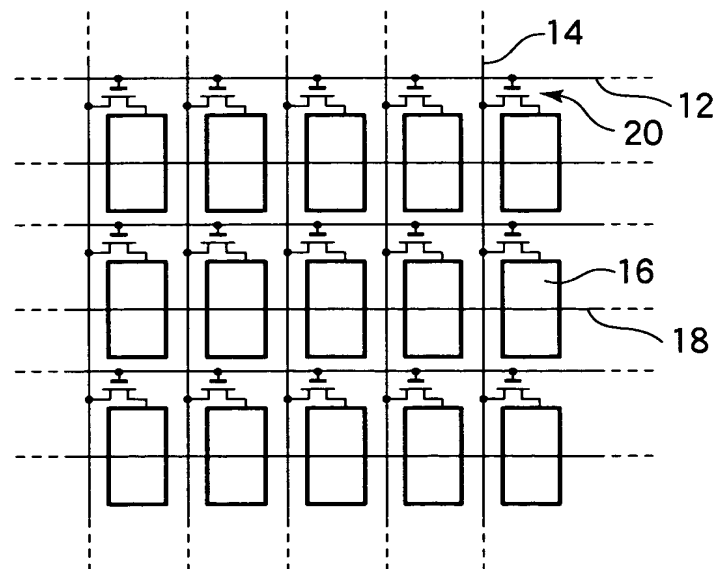
【書類名】

図面

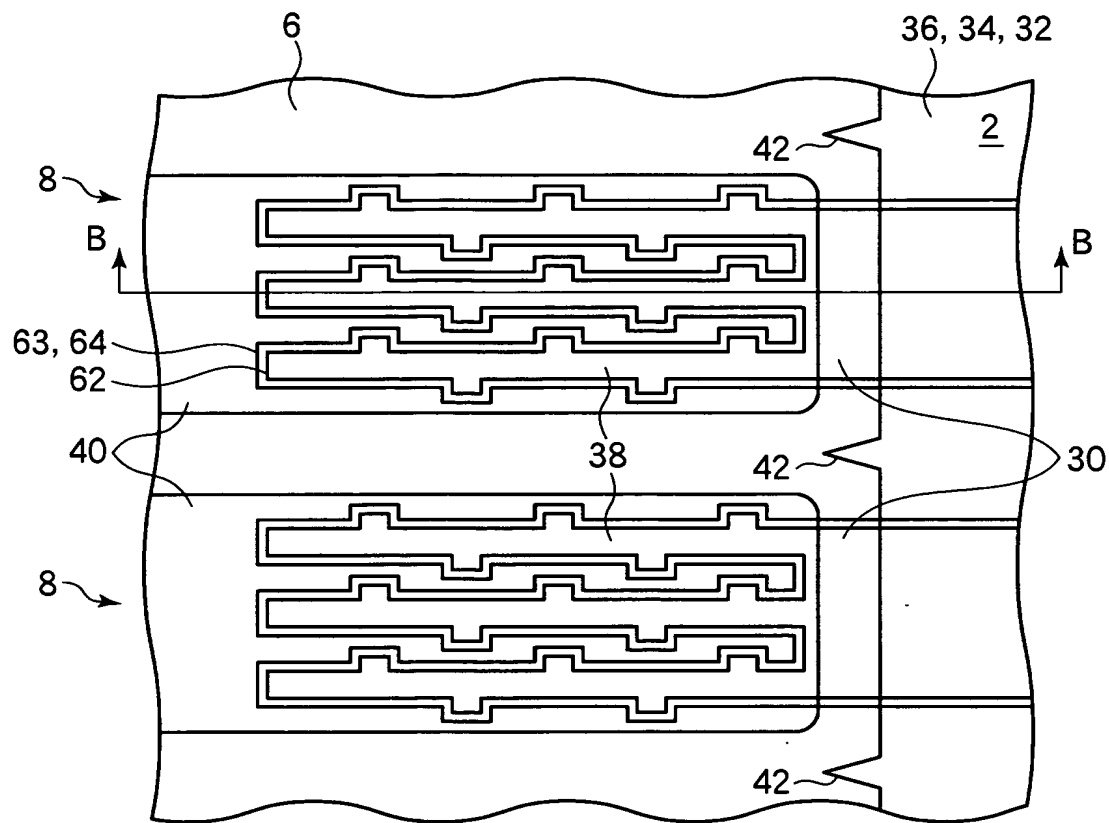
【図 1】



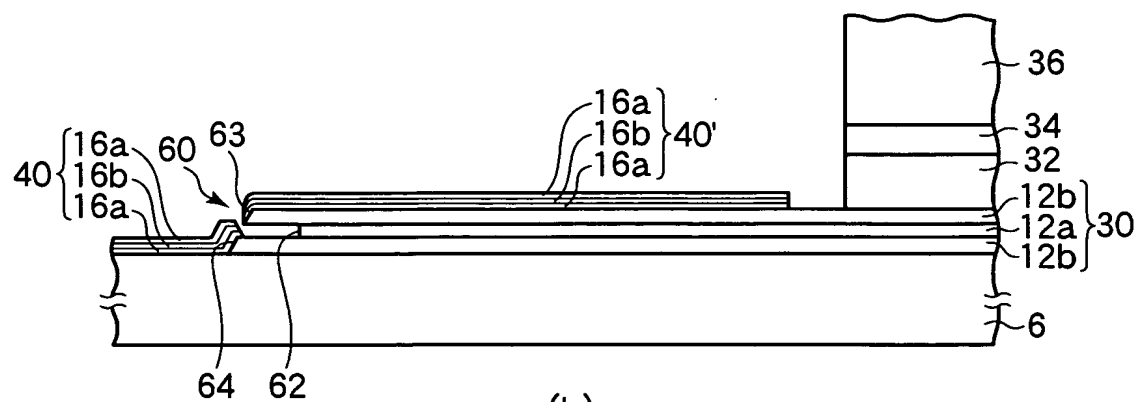
【図 2】



【図 5】

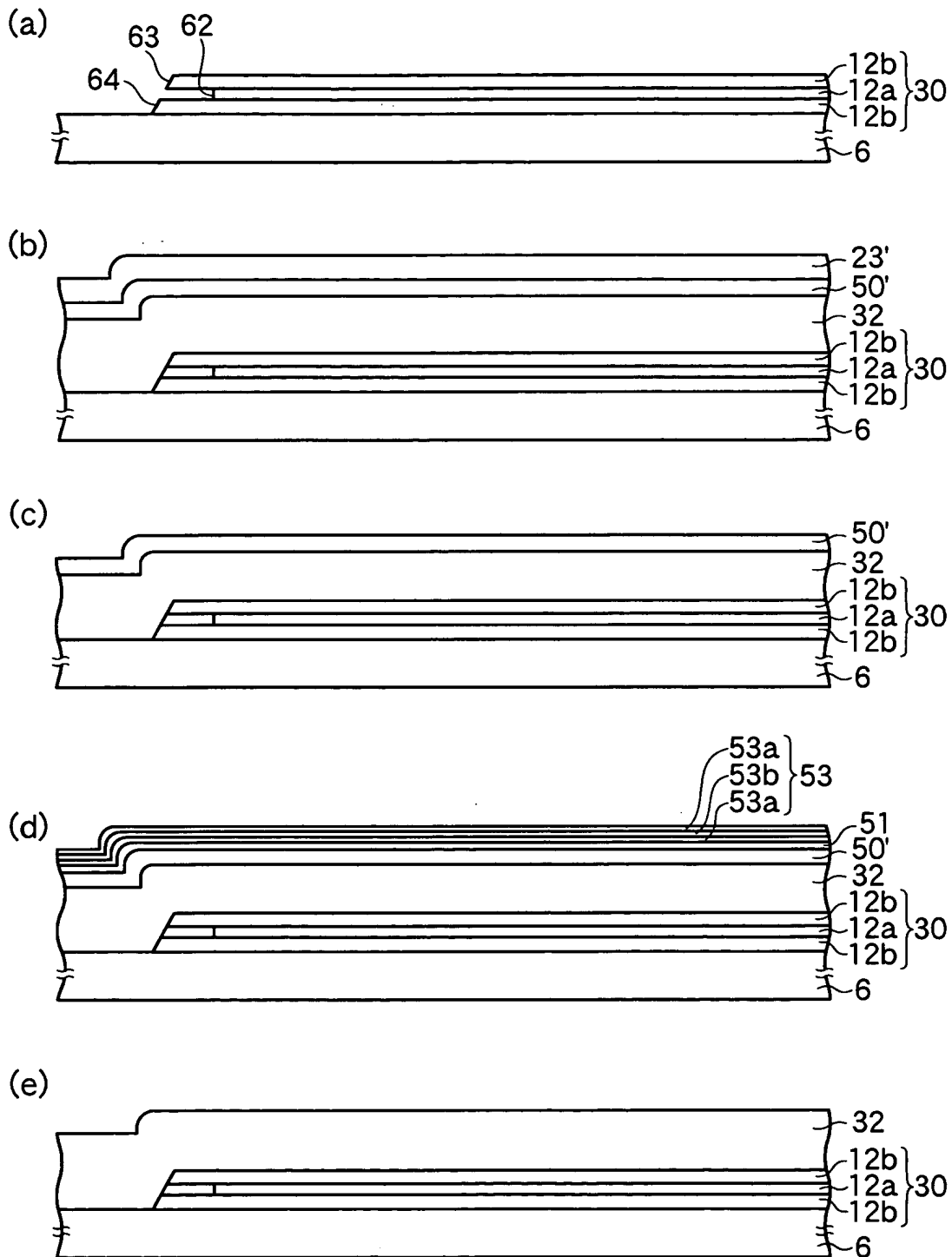


(a)

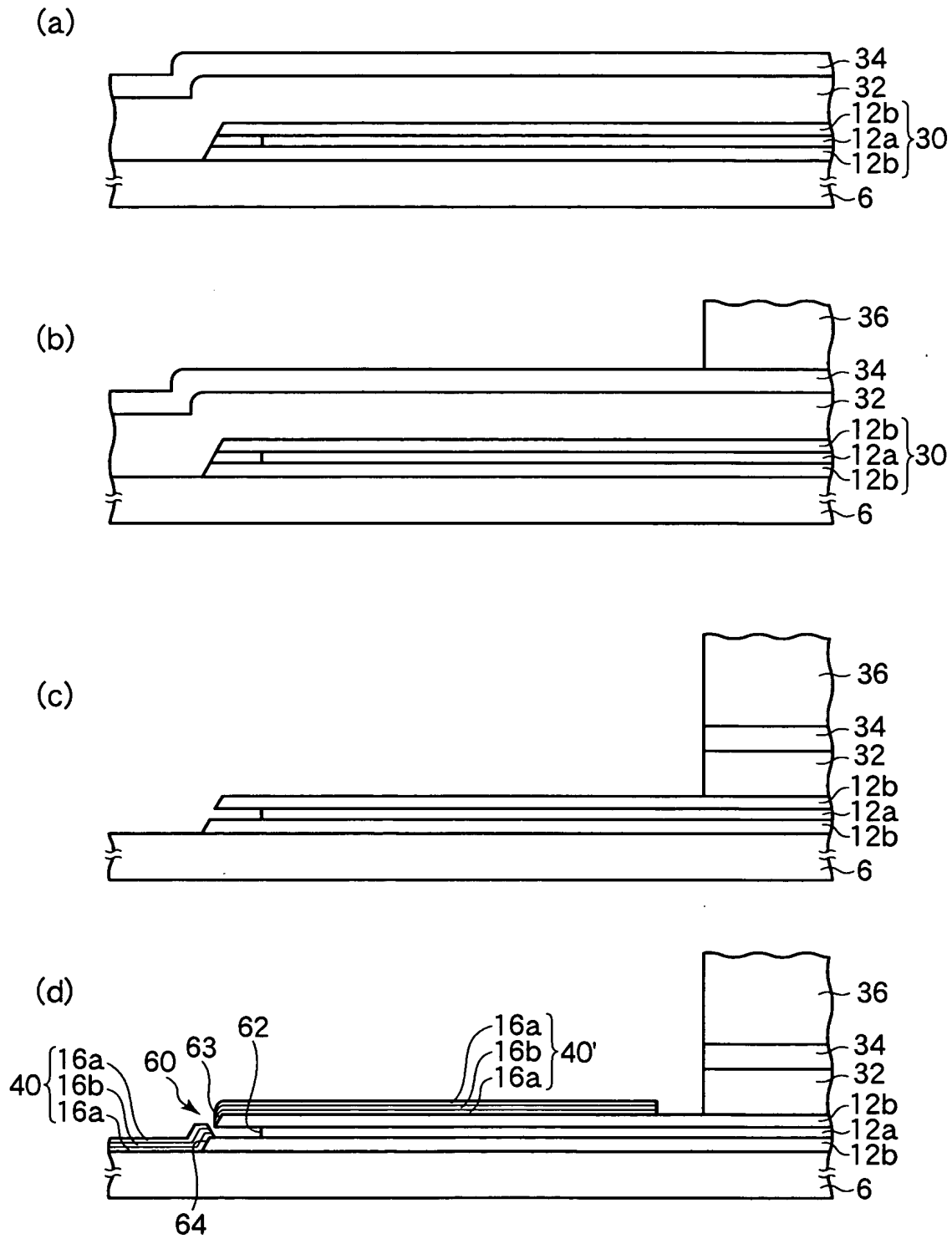


(b)

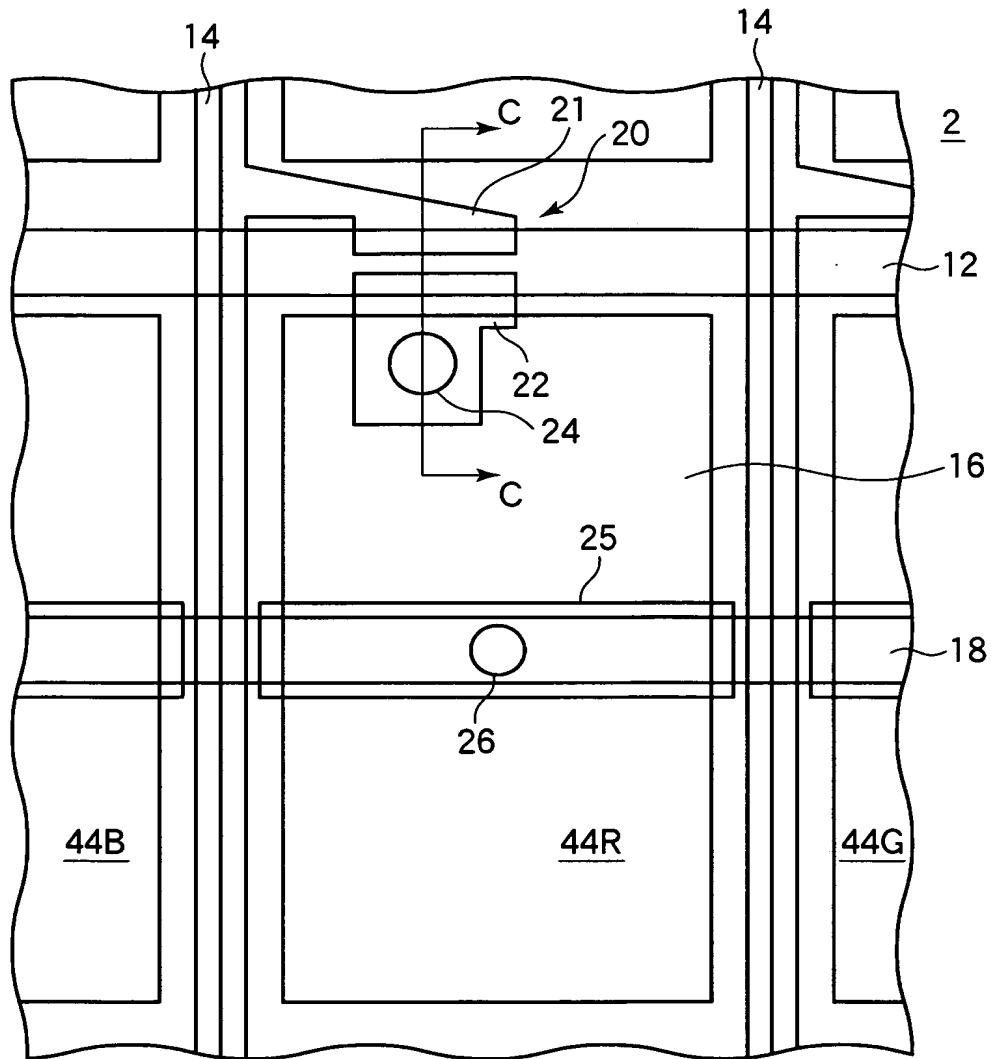
【図 6】



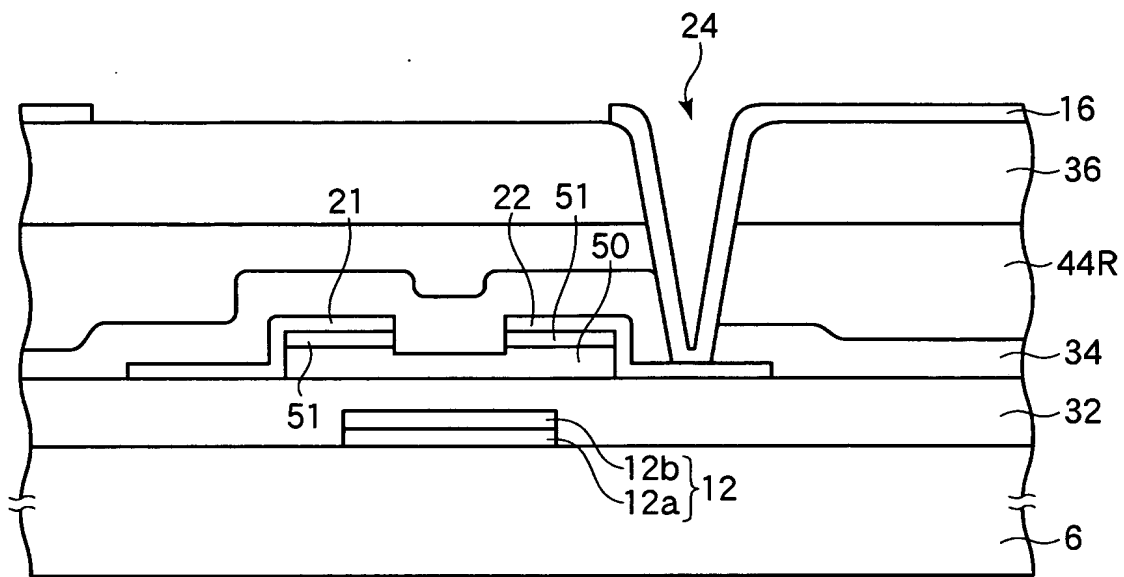
【図 7】



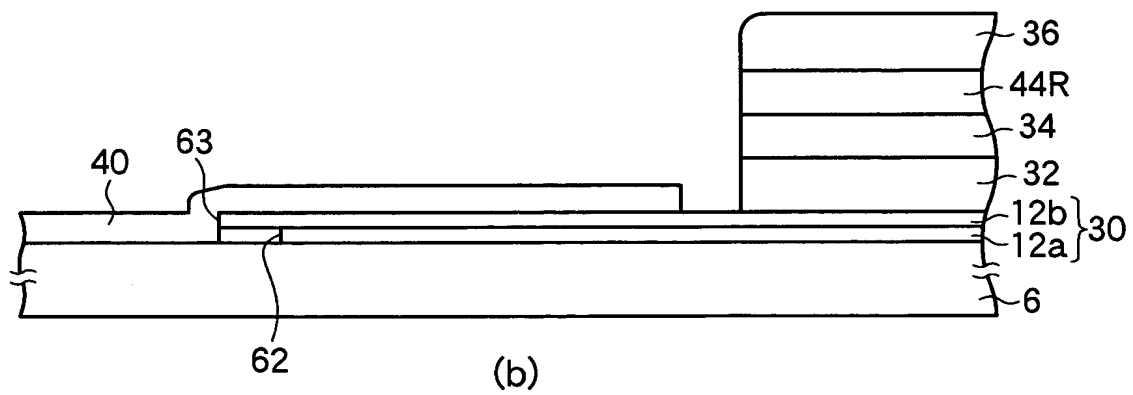
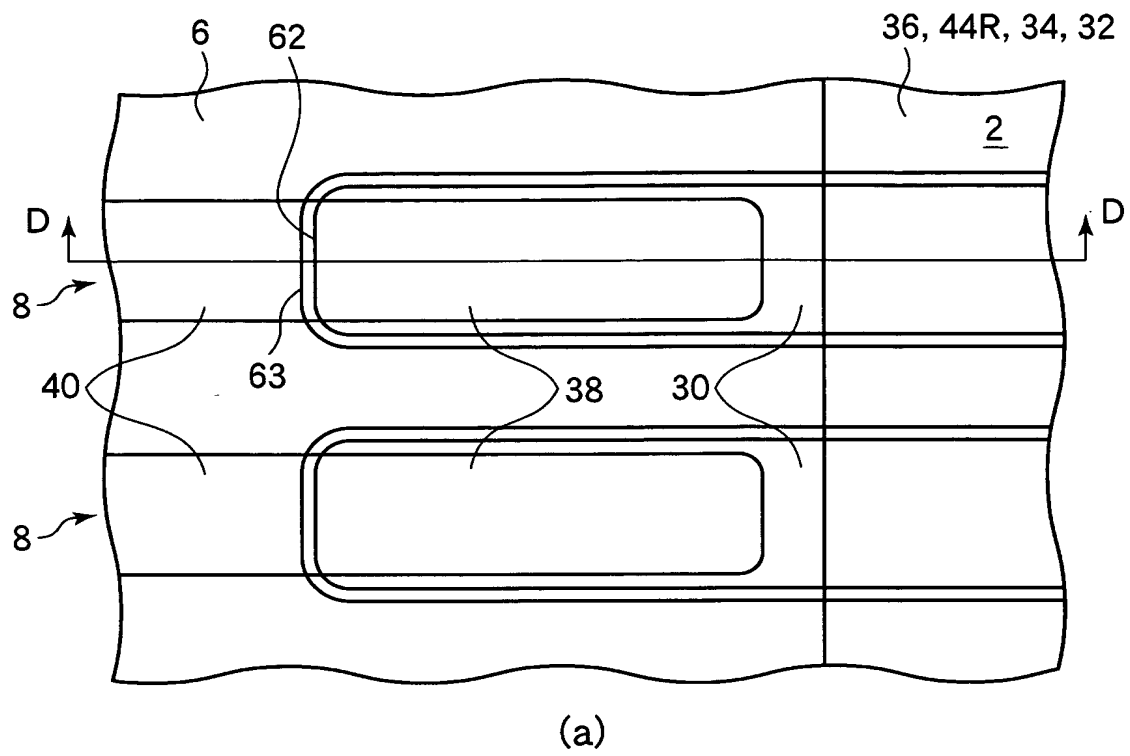
【図 8】



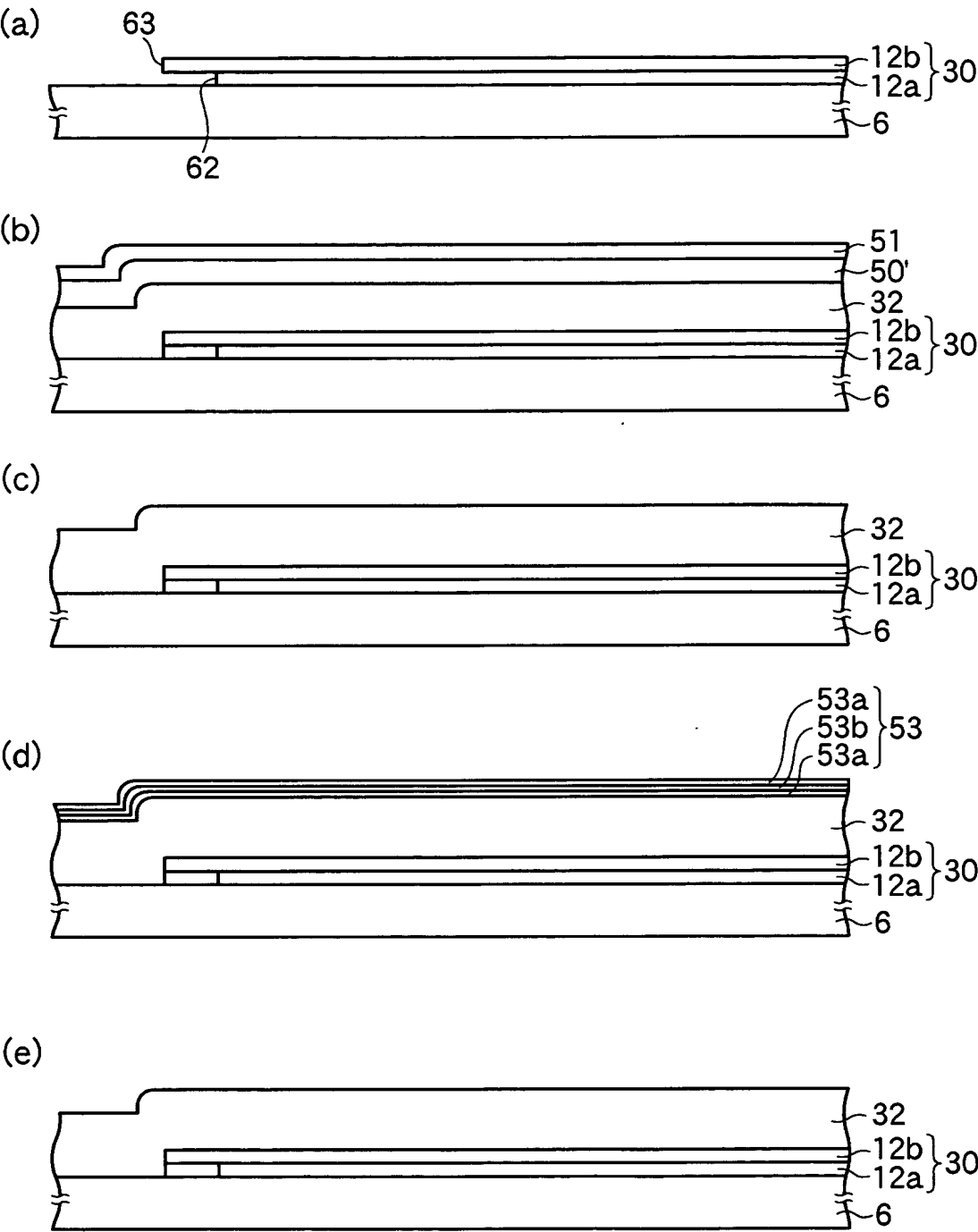
【図 9】



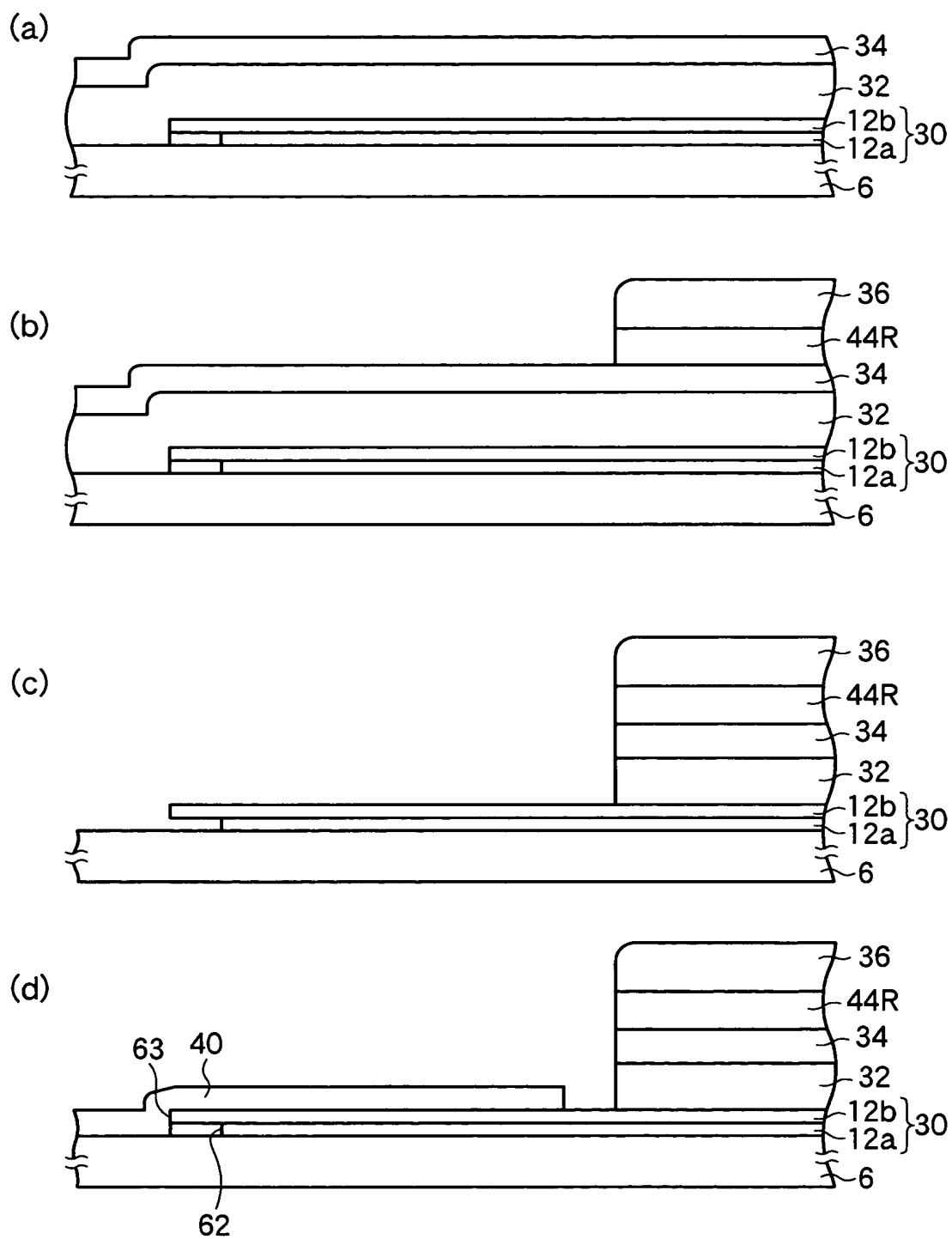
【図 10】



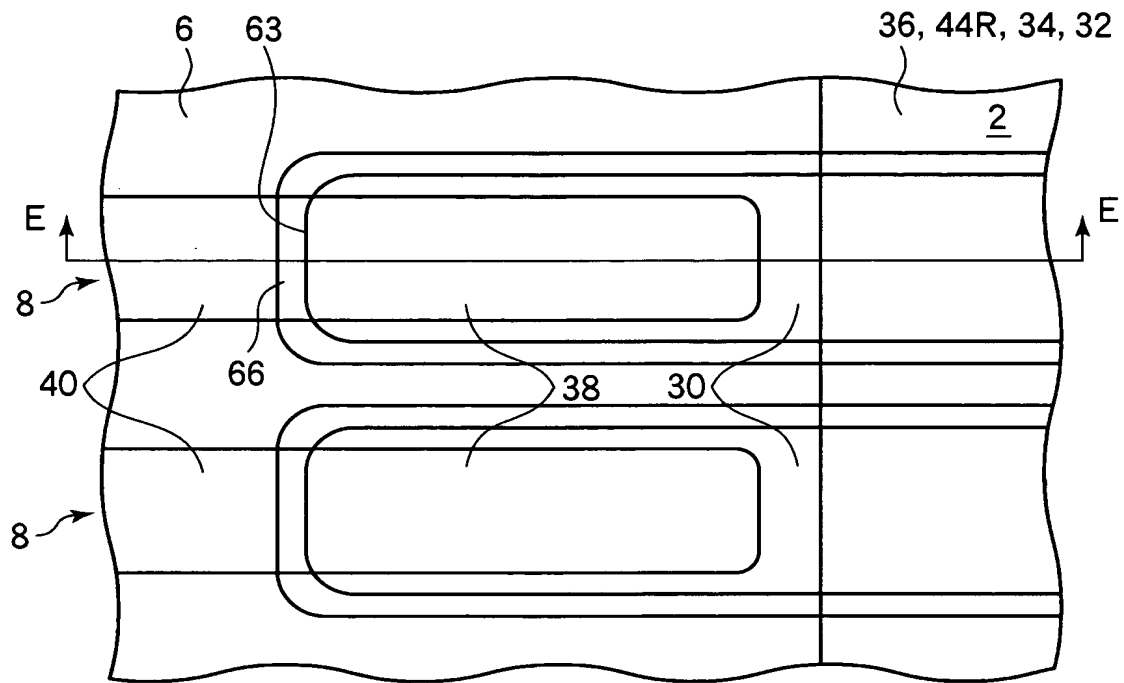
【図 11】



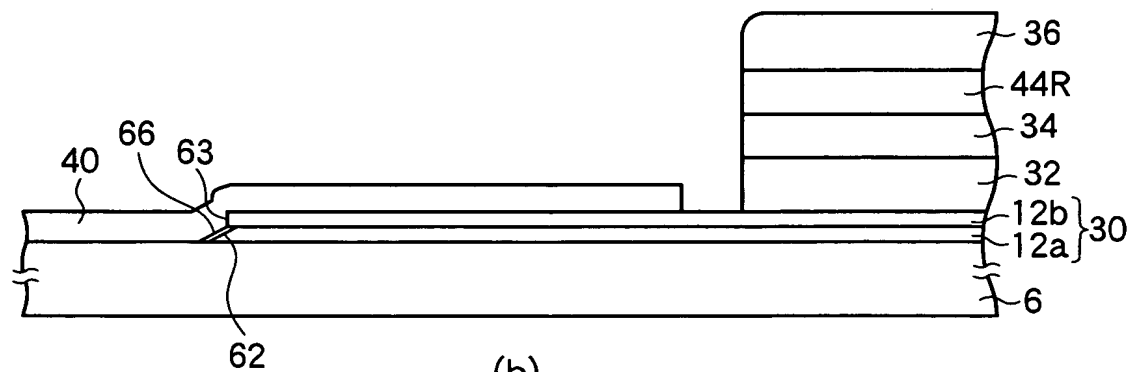
【図 12】



【図 13】

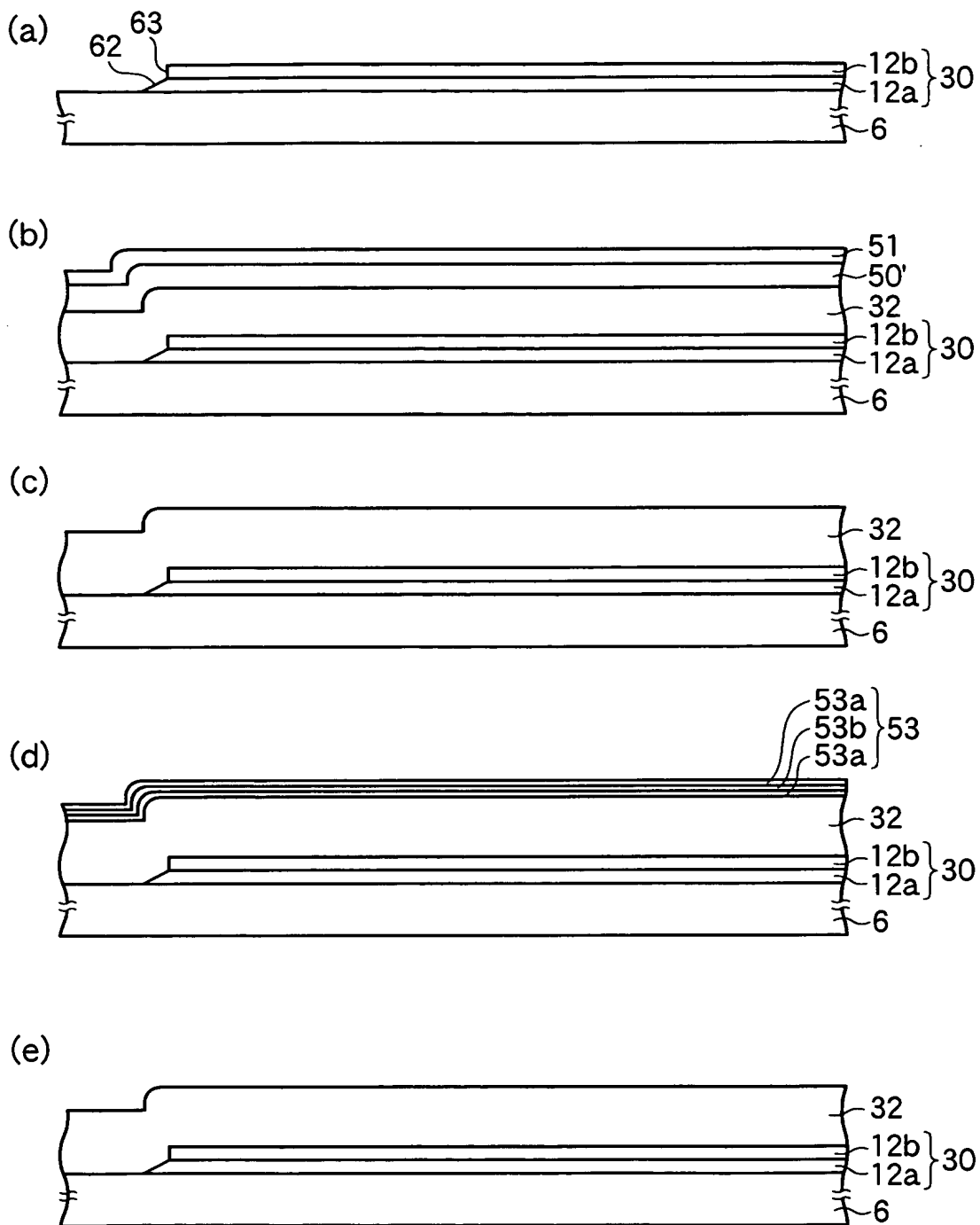


(a)

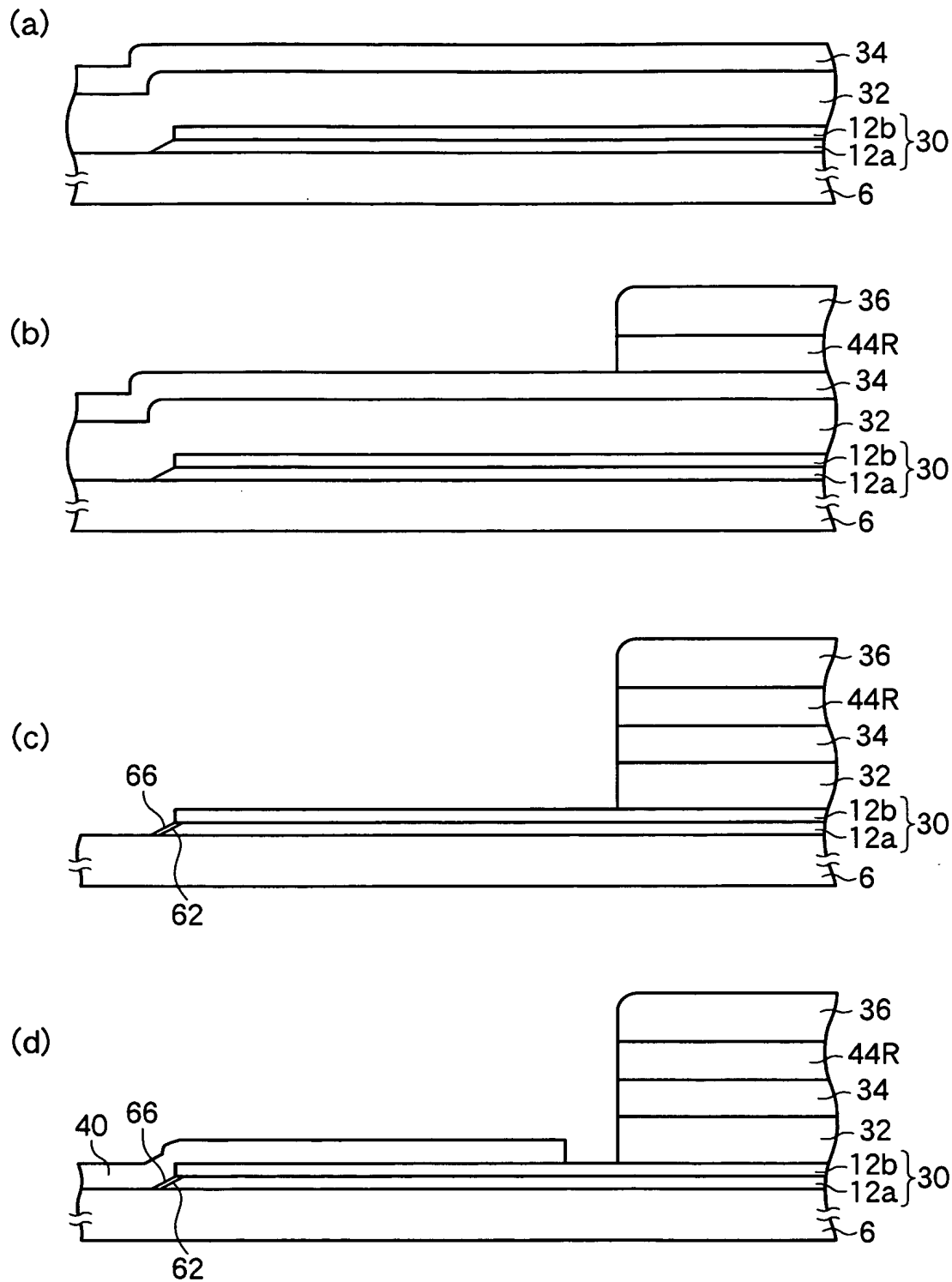


(b)

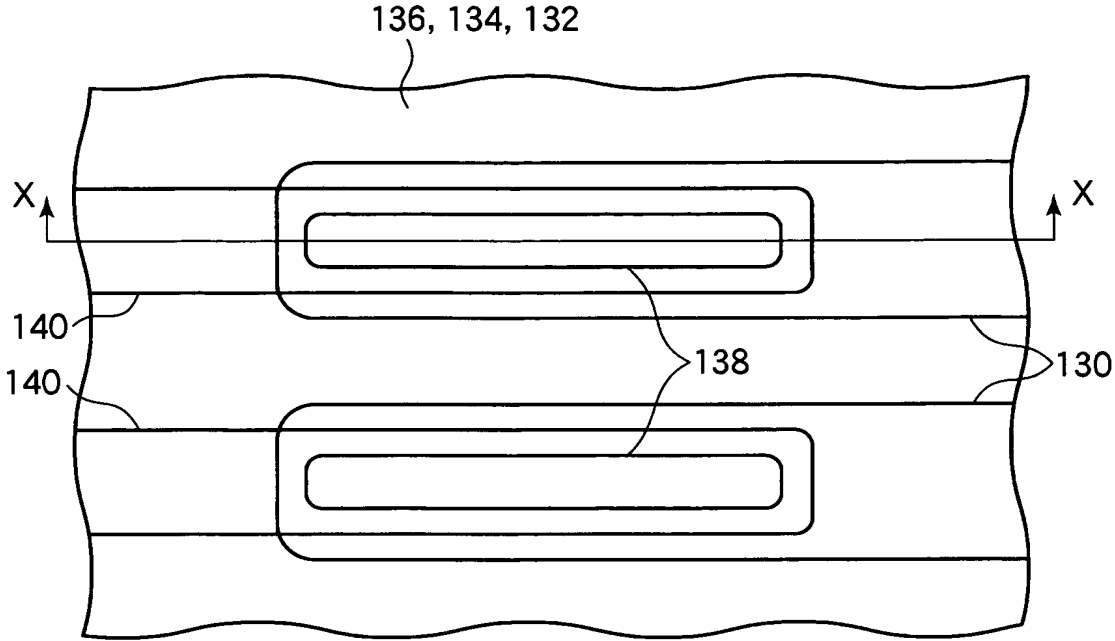
【図 14】



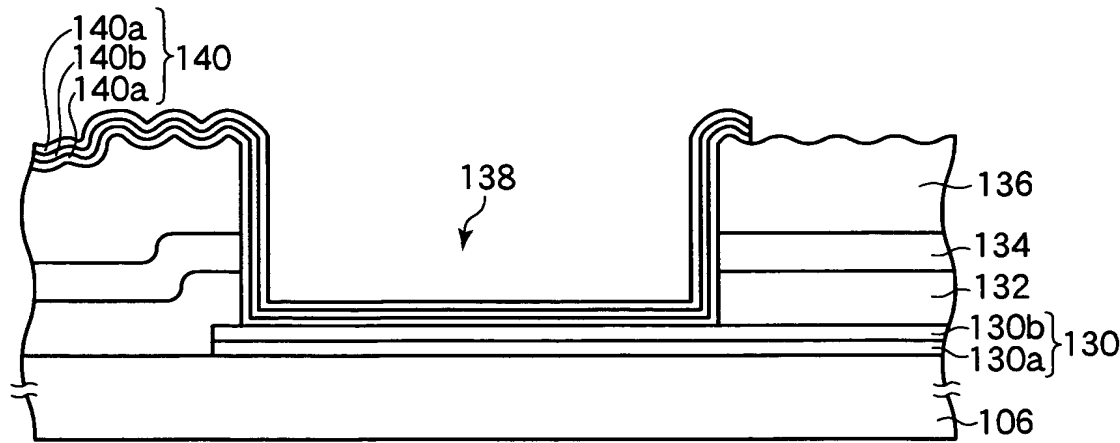
【図 15】



【図 16】

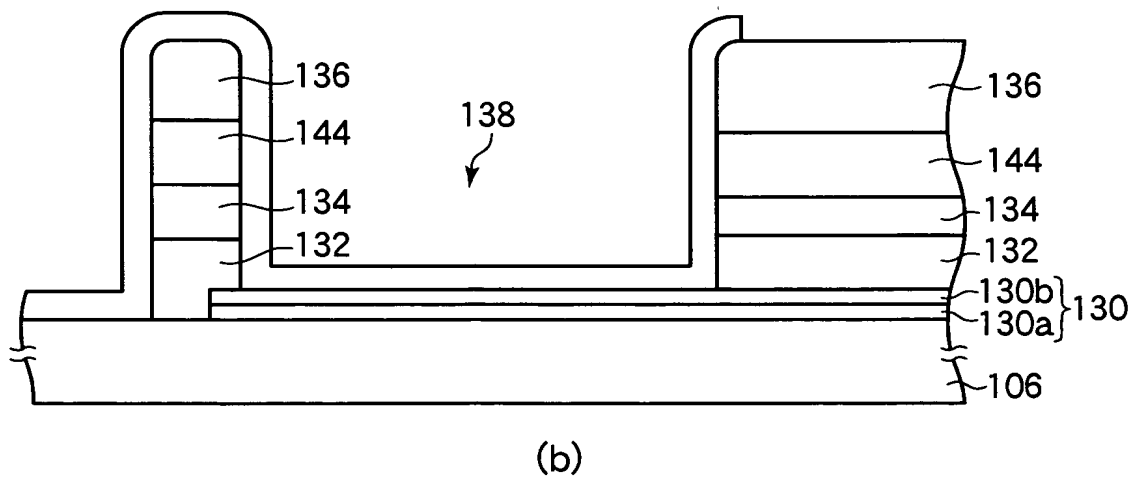
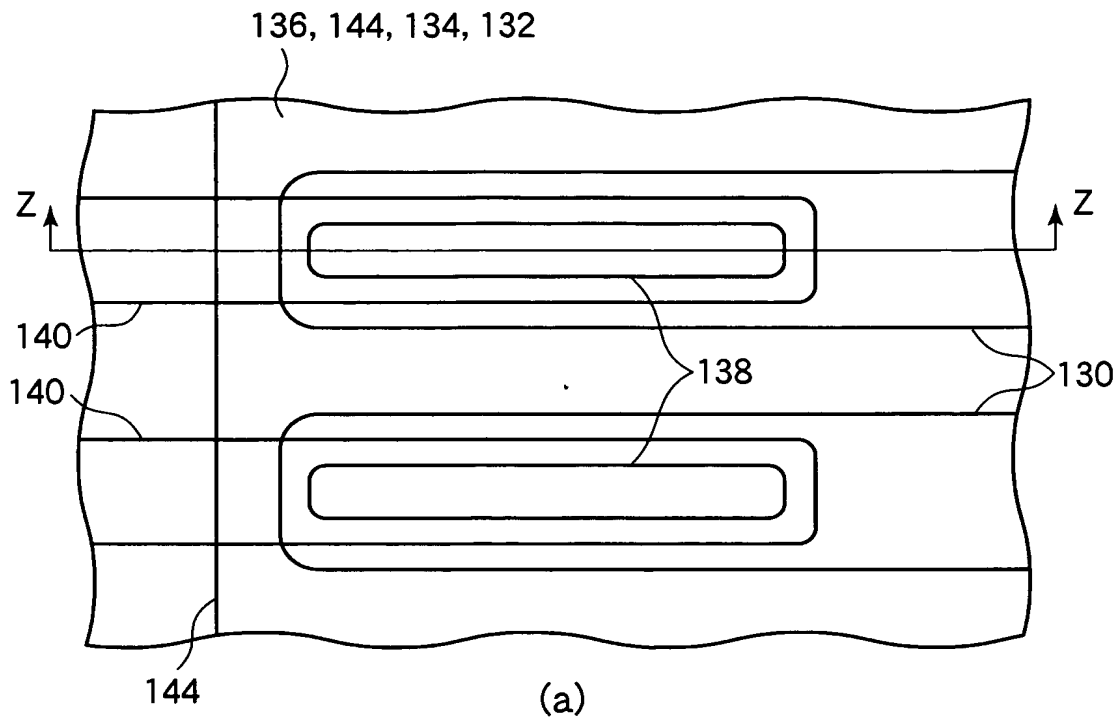


(a)

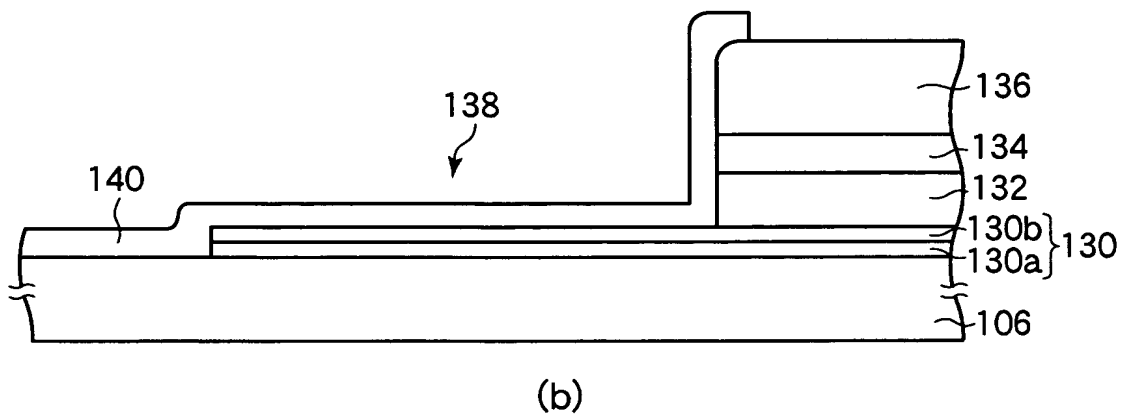
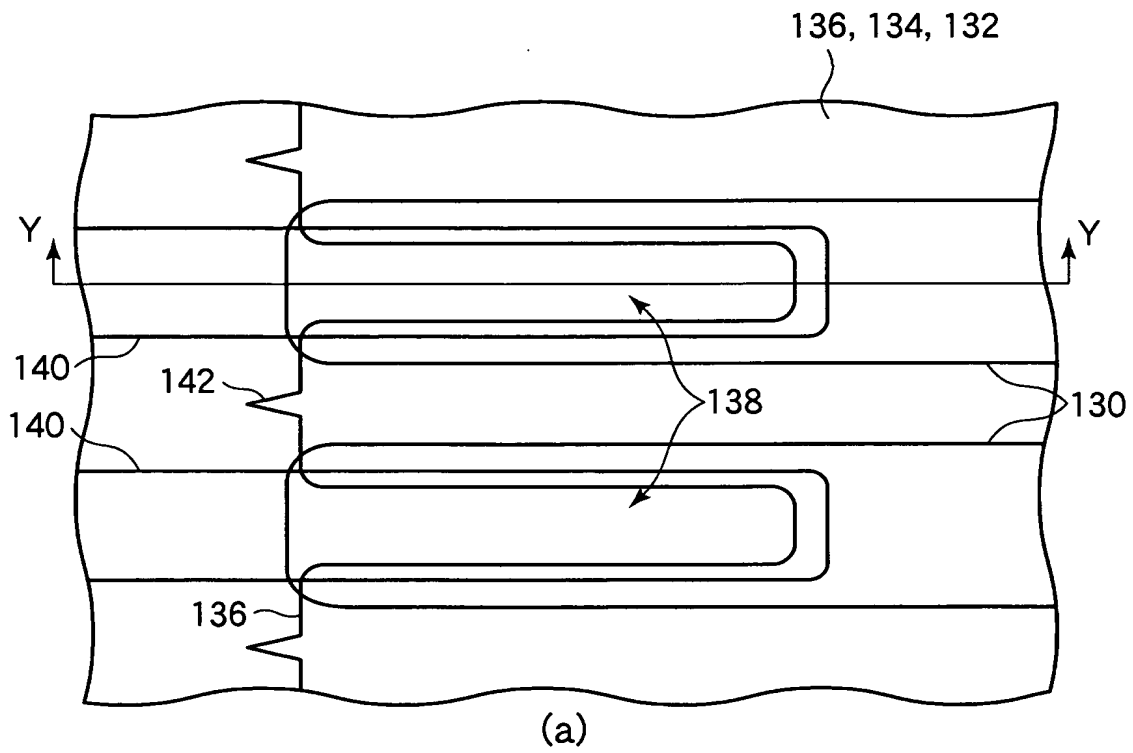


(b)

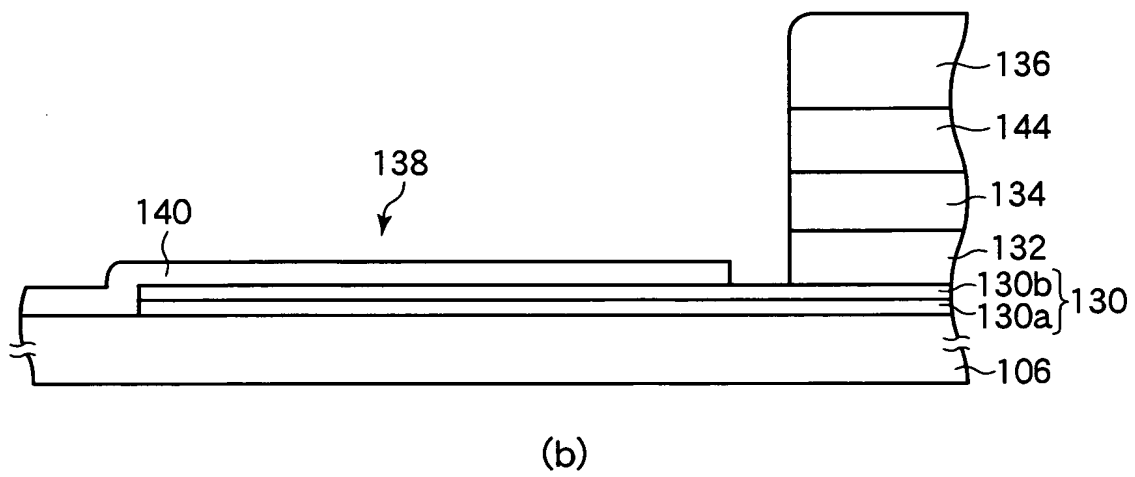
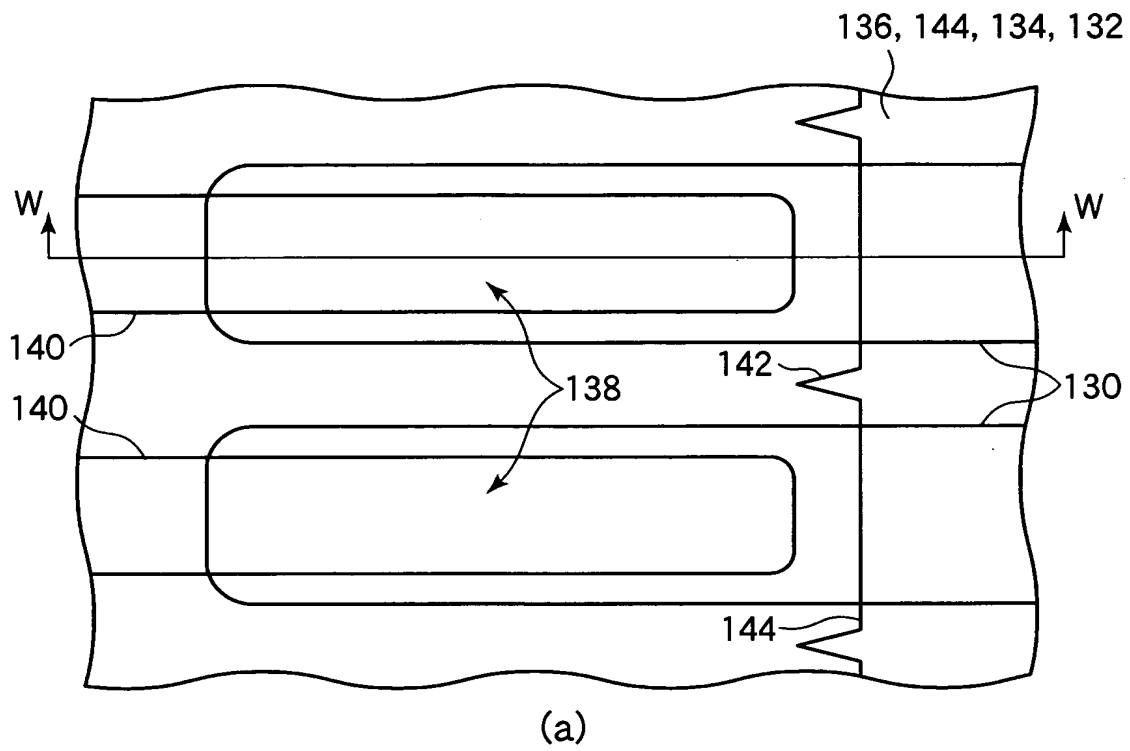
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 本発明は、表示装置用基板及びその製造方法及びそれを備えた表示装置に関し、製造工程を簡略化でき、かつ高い信頼性を有する表示装置用基板及びその製造方法及びそれを備えた表示装置を提供することを目的とする。

【解決手段】 ゲートバスラインと、ゲートバスライン上に形成されたOC層36と、画素領域毎のOC層36上に形成された画素電極と、第1の端面62を有するAl系金属層12aと、Al系金属層12a上に形成され端面62より外側に第2の端面63を有する高融点金属層12bとを有し、ゲートバスラインに電氣的に接続されたゲート端子下部電極30と、画素電極と同一の形成材料でゲート端子下部電極30上に形成され、端面62に接触せずにゲート端子下部電極30に電氣的に接続されたゲート端子上部電極40とを備え、外部回路とゲートバスラインとを電氣的に接続するゲート端子8とを有するように構成する。

【選択図】 図5



特願 2 0 0 3 - 0 6 3 7 1 0

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 3 6 0 0 2]

1. 変更年月日

2 0 0 2 年 6 月 1 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通ディスプレイテクノロジーズ株式会社